

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

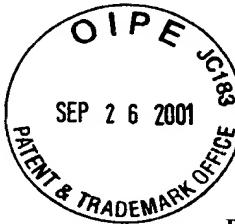
In re the Application of

Kazuhiko OKAWA et al.

Application No.: 09/866,800

Filed: May 30, 2001

Docket No.: 109657



For: SEMICONDUCTOR DEVICE HAVING ELECTROSTATIC PROTECTION CIRCUIT
AND METHOD OF FABRICATING THE SAME

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-163021 filed May 31, 2000

In support of this claim, a certified copy of said original foreign application:

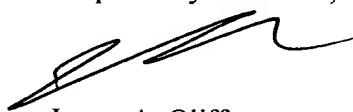
X is filed herewith.

_____ was filed on _____ in Parent Application No. _____ filed _____.

_____ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/cmm
Date: September 26, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 5月31日

出願番号

Application Number:

特願2000-163021

出願人

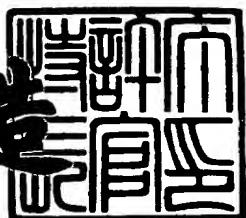
Applicant(s):

セイコーエプソン株式会社

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3044546

【書類名】 特許願
 【整理番号】 EP-0154501
 【提出日】 平成12年 5月31日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 29/784
 H01L 27/088

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 大川 和彦

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 斎木 隆行

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気保護回路が内蔵された半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記N型MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第1、第2の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域の近傍にて前記第1の拡散領域の深い位置側に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

を有することを特徴とする半導体装置。

【請求項2】 請求項1において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記MOSトランジスタのブレークダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

【請求項3】 請求項1または2において、

前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域とした

ことを特徴とする半導体装置。

【請求項4】 請求項1または2において、

前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツエナーダイオードを形成する前記第3の拡散領域をN型拡散領域としたことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかにおいて、

前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートツキーダイオードを形成する第4の拡散領域をさらに有することを特徴とする半導体装置。

【請求項6】 請求項3において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域をさらに有し、前記第3、第4及び第5の拡散領域にてPNPバイポーラトランジスタを構成したことを特徴とする半導体装置。

【請求項7】 請求項4において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域をさらに有し、前記第3、第4及び第5の拡散領域にてNPNバイポーラトランジスタを構成したことを特徴とする半導体装置。

【請求項8】 半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル及び前記N型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルのいずれか一方と共にラテラルバイポーラトランジ

スタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域の近傍にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記第1の拡散領域の深い位置側に形成する工程と、

前記第1、第2の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記MOSトランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置の製造方法。

【請求項10】 請求項8または9において、

前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートッキーダイオードを構成する第4の拡散領域を形成する工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3及び第4の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項8乃至11のいずれかにおいて、

前記第1、第2の拡散領域はN型拡散領域であり、この2つのN型拡散領域と前記半導体基板に形成された前記P型ウェルとでNPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置の製造方法。

【請求項13】 請求項12において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてPNPバイ

ポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

【請求項14】 請求項12または13において、

前記パッドの電位をHIGH電位に設定するP型MOSトランジスタがさらに設けられ、前記P型MOSトランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第3の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

【請求項15】 請求項8乃至11のいずれかにおいて、

前記第1、第2の拡散領域はP型拡散領域であり、この2つのP型拡散領域と前記半導体基板に形成された前記N型ウェルとでPNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域としたことを特徴とする半導体装置の製造方法。

【請求項16】 請求項15において、

前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてNPNバイポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

【請求項17】 請求項15または16において、

前記パッドの電位をLOW電位に設定するN型MOSトランジスタがさらに設けられ、前記N型MOSトランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第3の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

【請求項18】 請求項13または16において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3、第4及び第5の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項19】 半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツエナーダイオードを構成する第3の拡散領域と、

前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体基板表面に形成されたシリサイド層と、

を有することを特徴とする半導体装置。

【請求項20】 請求項19において、

前記第3の拡散領域の不純物濃度は、前記ツエナーダイオードのブレークダウン開始電圧を、前記MOSトランジスタのブレークダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

【請求項21】 請求項20において、

前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツエナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置。

【請求項22】 請求項20または21において、

前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツエナーダイオードを形成する前記第3の拡散領域をN型拡散領域とし

たことを特徴とする半導体装置。

【請求項23】 半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域と前記第1の拡散領域との間に、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第1、第2の素子分離領域と前記第1、第3の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電気保護回路が内蔵された半導体装置及びその製造方法に関する

【0002】

【背景技術】

静電気破壊現象の主たる原因是、放電時にP/N接合において発熱し、それによりシリコンが溶解したり、金属電極の金属がシリコン基板中に入り込むコンタクトスピギングが生ずることにある。従来の静電気対策は、この点を考慮して実施されていた。

【0003】

その後、デバイスの微細化に伴い、0.35 μm以降の微細化プロセスでは、ソース／ドレイン拡散層を実効的に低抵抗化するために、拡散層上に高融点金属シリサイド層を形成するシリサイド技術が取り入れられたシリサイドトランジスタが開発された（特開平7-273197、特開平7-106570、特開平7-94595、特開平5-136086、特開平3-234062など）。

【0004】

また、ゲート酸化膜の膜厚について考察すれば、電源電圧が5Vのデバイスでは135オングストロームであったが、電源電圧の低下とともに薄膜化する傾向にある。例えば、0.35 μmプロセスでは3.3Vのデバイスでゲート酸化膜の膜厚は70オングストロームとなり、0.25 μmプロセスでは2.5Vのデバイスでゲート酸化膜の膜厚は50オングストローム程度となり、静電気保護回路を設計する上で非常に大きな障害となっている。

【0005】

ここで、入／出力端子から注入された静電気の電荷を電源端子を介して放電させる際には、入／出力端子と電源端子との間に介在する放電素子（MOSトランジスタなど）のジャンクション上にシリサイド層が存在する場合、非常に低い印加電圧でその放電素子が破壊することがわかっている。

【0006】

剥離解析結果から考えられる破壊原因は、MOSトランジスタのゲート電極近傍にノッチ状の電流の流れた痕跡があったことから、そこに局所的に電流集中が発生したためと思われる。

【0007】

局所的に電流集中が発生し易い理由として、シリサイド技術による拡散層の低抵抗化が挙げられる。N型MOSトランジスタの逆方向電圧印加の場合、パッドから注入された電荷は、ドレイン上のコンタクトから拡散層に注入され、チャネル領域とのジャンクションでアバランシェ降伏（電子なだれ）を引き起こす。そして、基板内に流れ出した電荷により、ソース電位（グランド電位）と基板電位との間に、ダイオードの順方向電流が流れるのに必要な電位差が生じ、ドレイン－チャネル－ソースで形成されるバイポーラトランジスタが作動し、電圧をクラ

ンプした状態で放電される。

【0008】

ここで、放電の様子を図32及び図33を参照して説明する。各図は、ドレン10、ドレン10上のコンタクト12、ゲート14、ソース16及びソース16上のコンタクト18を有するN型MOSトランジスタの平面図である。

【0009】

拡散層上にシリサイド層を持たない場合には、拡散抵抗が大きいため、図32に示すように、ドレン上10のコンタクト12からゲート14に向けて、一点に集中することなく均一な放電が行われる。

【0010】

これに対して、シリサイド層が拡散層上にある場合には、図33に示すようにホットスポット20が生じた際に、ドレン10上の全てのコンタクト12からホットスポット20の一点に向けて電流が集中して流れる。従って、印加電圧が低い場合においても電流集中が発生し易く、破壊が生じてしまう。

【0011】

さらに、ジャンクションエッジの状態についても、ジャンクション近傍でのシリサイド層の形成状態がフラットになり得ず、突起状のシリサイドが存在する。この部分には電流集中が起き易く、ホットスポットが発生し易い。

【0012】

これらの2つの理由により、放電素子のジャンクション上にシリサイド層が存在する場合に、静電気(ESD)耐圧が低下すると考えられる。

【0013】

そこで、放電素子上のシリサイド層を部分的に取り除くプロテクション工程を追加した技術が開発された(特開平2-271673など)。

【0014】

【発明が解決しようとする課題】

ところが、プロテクション工程を採用する場合には、下記の2つの問題が生ずる。

【0015】

一つは、ゲートとソース／ドレイン間のリークが発生する可能性があることである。プロテクション工程では、ソース／ドレイン領域の形成後、全面に酸化膜を形成し、シリサイドを形成しない部分のみを残して酸化膜をエッティングしている。このエッティング時に、ゲートの側面に既に形成されていた側壁絶縁膜も削れてしまうので、上記のリークが発生し易くなる。

【0016】

他の一つは、トランジスタの高速動作が期待できることである。ゲート電極及び拡散領域上に共にシリサイド層を形成するフル・シリサイド・プロセスでは、ゲート電極上にはシリサイド層を形成し、ドレインジャンクション近傍にはシリサイド層を形成しないといった構造は採用できない。従って、ドレインジャンクション近傍にシリサイド層が形成されないようにすると、ゲート電極上にもシリサイド層が形成されない領域が生じ、シート抵抗がKΩオーダとなるため、高速動作が期待できなくなる。

【0017】

そこで、本発明の目的は、低抵抗のシリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

【0018】

本発明の他の目的は、十分な静電気保護対策を施しながら、高速動作を可能とする静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

【0019】

本発明のさらに他の目的は、シリサイド層を部分的に除去するプロテクション工程を実施せずに静電気保護回路を構成できる半導体装置及びその製造方法を提供することにある。

【0020】

【課題を解決するための手段】

本発明の一態様に係る半導体装置は、
半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記N型MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第1、第2の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域の近傍にて前記第1の拡散領域の深い位置側に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツエナーダイオードを構成する第3の拡散領域と、

を有することを特徴とする。

【0021】

本発明の一態様によれば、MOSトランジスタの静電気保護回路として、ラテラルバイポーラトランジスタが放電素子として機能する。すなわち、MOSトランジスタの第1の拡散領域を介して注入された静電気の電荷は、ラテラルバイポーラトランジスタを介して放電される。この際、MOSトランジスタが放電経路として機能することを回避するために、ツエナーダイオードを設ける構成とした。このツエナーダイオードは、等価回路上、ラテラルバイポーラトランジスタのコレクタとベースとの間に挿入接続される。このツエナーダイオードの逆方向特性を利用して、コレクタとベースとの間のジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

【0022】

このとき、MOSトランジスタ側には例えば第1の拡散領域中に高抵抗を設けることなどの対策が不要であるので、MOSトランジスタの高速動作が可能となる。

【0023】

さらに、ツェナーダイオードは、半導体基板表面より比較的深い位置に形成されるので、第1の拡散領域に注入される電荷は、その表面の低抵抗のシリサイド層の表面を流れることが少なくなる。

【0024】

この理由により、第1の拡散領域の電荷注入位置と第2の素子分離領域との間でシリサイド層を部分的に除去するプロテクション工程を実施する必要はない。

【0025】

本発明の一態様においては、前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレークダウン開始電圧を、前記MOSトランジスタのブレイクダウン開始電圧より低く設定する値とすることができる。

【0026】

こうすると、MOSトランジスタにてブレイクダウンが生ずる前に、ツェナーダイオードにて電流を流して、ラテラルバイポーラトランジスタをオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオードにてブレークダウンを開始させて、ラテラルバイポーラトランジスタのコレクタとベースとの間のジャンクション耐圧を低下させることができる。

【0027】

本発明の一態様において、前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域とすることができる。

【0028】

こうすると、ツェナーダイオードをトリガとしてNPNラテラルバイポーラトランジスタを上記の通り動作させることで、N型MOSトランジスタを保護することができる。

【0029】

あるいは、前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツエナーダイオードを形成する前記第3の拡散領域をN型拡散領域とすることができます。

【0030】

こうすると、ツエナーダイオードをトリガとしてPNPラテラルバイポーラトランジスタを上記の通り動作させることで、P型MOSトランジスタを保護することができる。

【0031】

本発明の一態様において、前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートツッキーダイオードを形成する第4の拡散領域をさらに有することができる。

【0032】

このようにショートツッキーダイオードが形成されることで、シリサイド層表面を通過する電荷はより少くなり、シリサイド層を流れることで生ずる電流集中を防止できる。

【0033】

さらに、本発明の一態様において、前記第3の拡散領域がN型拡散領域である場合には、前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域をさらに設け、前記第3、第4及び第5の拡散領域にてPNPバイポーラトランジスタを構成することができる。

【0034】

このようにPNPバイポーラトランジスタを構成することで、シリサイド層を流れることで生ずる電流集中をより確実に防止できる。

【0035】

あるいは、本発明の一態様において、前記第3の拡散領域がP型拡散領域である場合には、前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の

拡散領域をさらに有し、前記第3、第4及び第5の拡散領域にてNPNバイポーラトランジスタを構成することができる。

【0036】

このようにNPNバイポーラトランジスタを構成することで、シリサイド層を流れることで生ずる電流集中をより確実に防止できる。

【0037】

なお、本発明の一態様においては、半導体基板がトリプルウェル構造を有していれば、この半導体基板上に形成されるN型MOSトランジスタとP型MOSトランジスタとの双方にそれぞれ、ラテラルバイポーラトランジスタとツェナーダイオードとを有する保護回路を独立して形成することができる。

【0038】

ただし、N型MOSトランジスタにのみ上述の保護回路を設けた場合には、P型MOSトランジスタのドレインとパッドとの間に拡散抵抗を配置して、P型MOSトランジスタを放電経路としないように対策することができる。この場合、この拡散抵抗を第3の拡散領域の形成工程と同一工程にて形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【0039】

同様に、P型MOSトランジスタにのみ上述の保護回路を設けた場合には、N型MOSトランジスタのドレインとパッドとの間に拡散抵抗を配置して、N型MOSトランジスタを放電経路としないように対策することができる。この場合にも、この拡散抵抗を第3の拡散領域の形成工程と同一工程にて形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【0040】

本発明の他の態様に係る半導体装置の製造方法は、
半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、
前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル及び前記N型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルのいずれか一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域の近傍にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記第1の拡散領域の深い位置側に形成する工程と、

前記第1、第2の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする。

【0041】

この製造方法により、本発明の一態様に係る半導体装置を好適に製造できる。ここで、第1、第2の素子分離領域は同時に形成しても良い。また、第1、第2の拡散領域も同時に形成することができる。

【0042】

この製造にあたって、上述した本発明の一態様と同様に第3の拡散領域の不純物濃度を設定することができる。

【0043】

また、本発明の他の態様においても、前記シリサイド層と前記第3の拡散領域との間に、前記シリサイド層と共にショートッキーダイオードを構成する第4の拡散領域を形成する工程をさらに有することができる。この場合、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3及び第4の拡散領域をそれぞれ形成するが好ましい。

【0044】

静電気保護対策は半導体装置の付加的価値を高めるものであるので、マスクを共用することで、静電気保護対策に伴う製造コストの上昇を抑えることができる。

【0045】

さらに、本発明の他の態様においても、前記シリサイド層と前記第3の拡散領域との間に、第4及び第5の拡散領域を形成する工程をさらに有し、前記第3、第4及び第5の拡散領域にてバイポーラトランジスタを構成することができる。この場合にも、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第3、第4及び第5の拡散領域をそれぞれ形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【0046】

本発明のさらに他の態様に係る半導体装置は、
半導体基板と、

前記半導体基板上に形成されて、第1の拡散領域を有するMOSトランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体基板表面に形成されたシリサイド層と、

を有することを特徴とする。

【0047】

この半導体装置が、本発明の一態様に係る半導体装置と相違する点は、第3の拡散領域が半導体基板の表面付近に形成されていることから、第1、第3の拡散領域の接合領域表面のシリサイド層を除去したことである。こうして、ラテラル

バイポーラトランジスタを放電素子として利用すると共に、ジャンクションエッジでの電流集中を回避している。

【0048】

この本発明のさらに他の態様に係る半導体装置においても、上述した本発明の一態様に係る種々の実施形態を適用することができる。

【0049】

本発明のさらに他の形態に係る半導体装置の製造方法は、
半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、
前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、
前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、
前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、
前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、
前記第2の素子分離領域と前記第1の拡散領域との間に、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、
前記第1、第2の素子分離領域と前記第1、第3の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、
を有することを特徴とする。

【0050】

この方法により、上述の半導体装置を好適に製造することができる。

【0051】

【発明の実施の形態】

以下、本発明を適用した半導体装置の各種の実施の形態について、図面を参照して説明する。

【0052】

(第1の実施の形態)

(1) N型MOSトランジスタ及びその静電気保護回路の構成

図1は、N型MOSトランジスタ及びその静電気保護回路の断面構造を示している。図1において、シリコン基板100にはN型MOSトランジスタ110が形成されている。このN型MOSトランジスタ110は、N⁺ソース112と、N⁺ドレイン114(第1の拡散領域)と、その間のP型WELLのチャネル116と、チャネル116とゲート酸化膜117を介して対向するゲート118とを有する。ゲート118の側壁には側壁絶縁膜120が形成されている。また、ソース112、ドレイン114及びゲート118上にはシリサイド層130が形成され、N型MOSトランジスタ110はシリサイドトランジスタとして構成されている。また、図1では、ドレイン114に接続されるコンタクト115がパッド170に接続された状態が図示されている。

【0053】

図1では、トランジスタ同士を分離する図示しない第1の素子分離領域の他に、第1の素子分離領域と同様にしてLOCOS法により形成される2つの第2の素子分離領域140、142が設けられている。2つの第2の素子分離領域140、142間にはN⁺領域154が形成され、このN⁺領域154と第2の素子分離領域142にて分離された領域に、半導体基板のP型ウェルに接続されたP⁺領域156が形成され、これらを第2の拡散領域と称する。

【0054】

ドレイン114と第2の素子分離領域140との間には、シリコン基板100の深さ方向にて順に、例えば質量数31のリン(P)がイオンドーピングされたリン拡散領域P³¹⁺(第4の拡散領域)と、質量数11のボロン(B)がイオンドーピングされたボロン拡散領域B¹¹⁺(第3の拡散領域)が形成されている。B¹¹⁺拡散領域は、ドレイン114の深い位置にて、ドレイン114とP/N接合されている。

【0055】

そして、ドレイン114と同じN⁺拡散領域に形成されるコレクタ152と、

N^+ 領域154にて形成されるエミッタ（以下、エミッタ154とも称する）と、P型ウェルに接続された P^+ 領域156にて形成されるベース（以下、ベース156とも称する）により、NPNラテラルバイポーラトランジスタ150が形成される。図1では、エミッタ154に接続されるコンタクト158と、ベース156に接続されるコンタクト159とが図示され、どちらも接地されている。

【0056】

また、図1のN型拡散領域であるドレイン114（コレクタ152）と、P型拡散領域である B^{11+} 拡散領域とのP/N接合にて、ツェナーダイオード160が形成される。

【0057】

図1に示す半導体構造により構成される等価回路を図2に示す。図2には、N型MOSトランジスタ110、NPNラテラルバイポーラトランジスタ150、ツェナーダイオード160及びパッド170の他、N型MOSトランジスタ110と対で形成されるP型MOSトランジスタ180と、抵抗190とが示されている。図2に示す抵抗190は、図1のエミッタ154の下層のP型WELLにて構成される。

【0058】

なお、N型MOSトランジスタ110はパッド170の電位をLOW (VSS) 電位に設定するものであり、P型MOSトランジスタ180はパッド170の電位をHIGH (VDD) 電位に設定するものである。

【0059】

(2) N型MOSトランジスタの静電気保護回路の動作説明

図1及び図2に示すN型MOSトランジスタ110の静電気保護回路では、NPNラテラルバイポーラトランジスタ150が放電素子として機能する。すなわち、パッド170より注入された静電気の電荷は、ドレイン114→NPNラテラルバイポーラトランジスタ150のコレクタ152→NPNラテラルバイポーラトランジスタ150のエミッタ154→コンタクト158→グランドと流れで放電される。

【0060】

この際、図2に示すように、パッド170に対して、N型MOSトランジスタ110とNPNラテラルバイポーラトランジスタ150とが並列に接続されるので、N型MOSトランジスタ110に向かう放電経路を遮断する必要がある。

【0061】

このために、図1、図2に示すように、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間に、ツエナーダイオード160を挿入接続し、コレクタ152とベース156との間のジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

【0062】

図3は、MOSトランジスタ110と、ツエナーダイオード160をトリガとしたNPNラテラルバイポーラトランジスタ150との電圧-電流特性を示す特性図である。

【0063】

図3に示すN型MOSトランジスタ110の電圧-電流特性は、ドレイン114からソース112に向けて逆方向に流れる時の電圧-電流特性を示している。ソース112からドレイン114に向けて正方向に流れる時には、印加電圧0.7V以上で電流が流れ始めるが、図3に示すようにその逆方向では、印加電圧V1（例えば10V程度）になるとブレイクダウン（アバランシェ）を生じて電流が急激に流れ始める。これを防止するため、NPNラテラルバイポーラトランジスタ150をバイポーラ動作に従ってスナップバックさせ、電圧クランプ状態としている。

【0064】

すなわち、ツエナーダイオード160は周知の通り、逆方向特性としてブレイクダウン開始電圧V2（例えば6V程度）で電流が流れ出す。このため、ツエナーダイオード160をトリガとしてNPNラテラルバイポーラトランジスタ150が動作し始め、スナップバック開始電圧V3を越えると、電流の値に無関係に電圧がほぼ一定となる電圧クランプ状態となる。

【0065】

この第1の実施の形態では、MOSトランジスタ110にてブレイクダウンが生ずる前（電圧V1に達する前）の電圧V2にて、ツェナーダイオード160にて電流を流して、NPNラテラルバイポーラトランジスタ150をオンさせて放電経路を確保する。この時、NPNラテラルバイポーラトランジスタ150のコレクターエミッタ間電圧は、スナップバックにより5V程度の電圧に保持され、放電が行われる。なお、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード160にてブレークダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させている。

【0066】

従って、図4に示すツェナーダイオード160のブレークダウン開始電圧V2が、MOSトランジスタ110のブレイクダウン開始電圧V1よりも低ければ、上述の通り比較的高い静電気が印加された場合にも対処できる。

【0067】

さらに、ツェナーダイオード160は、シリコン基板100表面より比較的深い位置にイオンドーピングされたB¹¹拡散領域とドレイン114とのPN接合により形成されるので、ドレイン114に注入された電荷は、低抵抗のシリサイド層130表面を流れることが少なくなる。

【0068】

さらには、図1に示す構造によれば、シリサイド層130とP³¹拡散領域とによりショートツキーダイオードが形成されるので、シリサイド層130表面を通過する電荷はより少なくなり、図1の位置Aに電流集中が生ずることを防止できる。

【0069】

この2つの理由により、コンタクト115と第2の素子分離領域140との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要はない。

【0070】

このように、プロテクション工程を必要としない本実施の形態では、P³¹拡散

領域は、好ましくはドレイン114よりも低濃度のN型不純物のドーピングにより形成でき、B¹¹拡散領域はシリコン基板100のP型WELLよりも高濃度のP型不純物をドーピングさせれば良い。より好ましくは、図4のV₂ < V₃ < V₁の関係を確保できるように、B¹¹拡散領域の不純物濃度が決定される。

【0071】

(3) 製造プロセスの説明

次に、図1に示す半導体装置の製造プロセスについて、図4～図22を参照して説明する。なお、図4～図22には、N型MOSトランジスタ110とその静電気保護回路及びP型MOSトランジスタ180を製造する工程が示されている。

【0072】

まず、図4に示すように、シリコン基板100にLOCOS法によって、トランジスタ素子を分離する第1の素子分離領域300と、図1に示すN型MOSトランジスタ110のための2つの第2の素子分離領域140, 142と、P型MOSトランジスタのための第2の素子分離領域240とをそれぞれ形成する。

【0073】

次に、図5に示すように、一部の領域をレジスト302にて被覆してイオンドーピングを実施して、マスクされていない他の領域にN型WELLを形成する。

【0074】

レジスト302の除去後に、図6に示す一部の領域をレジスト304にて被覆してインオドーピングを実施して、マスクされていない他の領域にP型WELLを形成する。

【0075】

その後、レジスト304を除去し、図7に示すように、シリコン基板100の全面に酸化膜306を形成し、さらに図8に示すように酸化膜306上にポリシリコン膜308を形成する。そして、図9に示すように、ポリシリコン膜308上にレジスト310をフォトリソグラフィ工程によりパターン形成した後、レジスト310をマスクにしてポリシリコン膜308をエッチングして、ゲート118, 218をそれぞれ形成する。

【0076】

次に、図10に示すように、レジスト312をフォトリソグラフィ工程によりパターン形成した後、レジスト312とゲート118をマスクにしてN型不純物を低濃度で打ち込んで、N型拡散領域314を形成する。

【0077】

レジスト312の除去後に、図11に示すように、レジスト316をフォトリソグラフィ工程によりパターン形成し、レジスト316とゲート218をマスクにしてP型不純物を低濃度で打ち込んで、P型拡散領域318を形成する。

【0078】

レジスト316の除去後に、図12に示すように、ゲート118、218の側壁に側壁絶縁膜120を形成し、ゲート118、218及び側壁絶縁膜120をマスクにして酸化膜306をエッチングして、ゲート118、218及び側壁絶縁膜120の下層にゲート酸化膜117を残存させる。

【0079】

次に、図13に示すように、レジスト320をフォトリソグラフィ工程によりパターン形成した後、レジスト320、ゲート118及び側壁絶縁膜120をマスクにして、N型不純物を高濃度で打ち込む。この工程の実施により、図1に示すソース112、ドレイン114（コレクタ152）、エミッタ154と、P型MOSトランジスタ200のPストップ拡散層として機能するN⁺拡散領域250とが、図13に示すように形成される。

【0080】

レジスト320の除去後に、図14に示すように、レジスト322をフォトリソグラフィ工程によりパターン形成し、レジスト322、ゲート218及び側壁絶縁膜120をマスクにして不純物を高濃度で打ち込む。この工程の実施により、図1に示すベース156と、P型MOSトランジスタ200のソース212、ドレイン214とが形成される。

【0081】

レジスト322の除去後に、図15に示すように、レジスト324をフォトリソグラフィ工程によりパターン形成し、それをマスクにしてP型及びN型不純物

を打ち込む。N型不純物として質量数31のリン(P)と、P型不純物として質量数11のボロン(B)とがそれぞれ打ち込まれることで、図1に示すP³¹⁺拡散領域、B¹¹⁺拡散領域が形成される。本実施の形態では、2種のイオンドーピングを実施するのに、レジスト324を共通マスクとして利用できる。

【0082】

レジスト324の除去後に、シリコン基板100の表面及びゲート118、218にて露出しているシリコン上に高融点金属例えばチタン(Ti)を形成してアニーリングすることで、図16に示すようにチタンシリサイド層130が形成される。

【0083】

次に、図17に示すようにシリコン基板100の全面に絶縁層326を形成し、さらに図18に示すように、絶縁層326上にレジスト328を形成した後、フォトリソグラフィ工程の実施によりパターン化してマスクを形成してエッチングすることで、コンタクトホール330を形成する。

【0084】

レジスト328の除去後に、図19に示すように、コンタクトホール330に例えばタンクステンを埋め込んでコンタクト332を形成する。

【0085】

さらに、図20に示すように、絶縁層326及びコンタクト332の上にアルミニウムなどの金属層334を形成する。そして、金属層334上にレジスト336を形成した後、図21に示すように、レジスト336をフォトリソグラフィ工程の実施によりパターン化してマスクとし、金属層334をエッチングして金属配線層338A～338Gを形成する。

【0086】

この後、レジスト336を除去して金属配線層338A～338GにVDD、GNDなどを配線することで、図22の通り半導体装置が完成する。

【0087】

ここで、図15に示すイオンドーピング工程は、図13、図14のイオンドーピング工程に引き続いて実施できる点でスループットが向上するが、この方法に

限定されるものではない。要は、図15の工程は、ソース・ドレイン形成後であって、シリサイド層形成工程前に実施されればよい。また、 P^{31} 拡散領域、 B^{11} 拡散領域は必ずしも連続して形成されるものに限らず、マスクを共用しないのであれば、その工程実施時期を異ならせてても良い。また、マスクを共用しない場合には、図1に示す B^{11} 拡散領域を、ドレイン114側のより狭い領域あるいはより広い領域に形成することもできる。また、 P^{31} 拡散領域、 B^{11} 拡散領域の代わりに、他の不純物イオンをドーピングし拡散領域を形成してもよい。

【0088】

(第2の実施の形態)

図23は、第2の実施の形態に係る半導体装置を示す断面図である。なお、図23に示す部材のうち図1と同一部材については同一符号を付してある。

【0089】

図23に示すMOSトランジスタ110の静電気保護回路は、 P^{31} 拡散領域(第4の拡散領域)の上下に、第1の B^{11} 拡散領域(第5の拡散領域)と第2の B^{11} 拡散領域(第3の拡散領域)とを設けた点のみが、図1に示す静電気保護回路と異なっている。

【0090】

図23に示す静電気保護回路では、第1の B^{11} 拡散領域、 P^{31} 拡散領域及び第2の B^{11} 拡散領域とでPNPバイポーラトランジスタが形成される。従って、第1の B^{11} 拡散領域と接する位置にシリサイド層130が形成されていたとしても、PNPバイポーラトランジスタには電流が流れないので、シリサイド130を電流が流れることを確実に防止できる。

【0091】

よって、コンタクト115と第2の素子分離領域140との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要性は、図1の構造より低くなる。

【0092】

(第3の実施の形態)

図24は、第3の実施の形態に係る半導体装置を示す断面図である。なお、図

24に示す部材のうち図1と同一部材については同一符号を付してある。

【0093】

図24に示すMOSトランジスタ110の静電気保護回路には、図1に示すP³¹拡散領域が形成されず、ドレイン114と共にツェナーダイオード160を形成するB¹¹拡散領域（第3の拡散領域）のみが設けられている。また、図24では、第2の素子分離領域140の下層にPストップ拡散領域を形成してもよい。

【0094】

この場合にも、図1の場合と同様にして、MOSトランジスタ110にてブレイクダウンが生ずる前に、ツェナーダイオード160にて電流を流して、NPNラテラルバイポーラトランジスタ150をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード160にてブレイクダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させることができる。

【0095】

さらに、ツェナーダイオード160は、シリコン基板100表面より比較的深い位置にイオンドーピングされたB¹¹拡散領域とドレイン114とのPN接合により形成されるので、ドレイン114に注入された電荷は、低抵抗のシリサイド層130表面を流れることが少なくなる。

【0096】

ただし、図24に示す構造によれば、図1のようにシリサイド層130とP³¹拡散領域とによりショートッキーダイオードが形成されることはない。もし、図24に示すA点での電流集中の危険を回避するのであれば、コンタクト115と第2の素子分離領域140との間でシリサイド層を部分的に除去するプロテクション工程を実施しても良い。

【0097】

(特性評価)

次に、本発明の第1～第3の実施の形態に従って製造された半導体装置の静電

気保護回路についての評価を、図25～図27を参照して説明する。

【0098】

図25(A)、図26(A)及び図27(A)はそれぞれ、第1～第3の実施の形態に従って製造された半導体装置の断面図であり、その断面内の電流密度が示されている。また同図には、基板表面からの縦軸(深さ)距離と、パッド170からの横軸距離とが示されている。

【0099】

図25(A)に示す P^{31} 拡散領域は質量数31のリン(P)を70KeVで打ち込んで形成され、 B^{11} 拡散領域は質量数11のボロン(B)を50KeVで打ち込んで形成されている。

【0100】

図26(A)に示す BF_2 拡散領域は、図23の第1の B^{11} 拡散領域に代わって形成されたもので、 BF_2 を40KeVで打ち込んで形成されている。 P^{31} 拡散領域は質量数31のリン(P)を100KeVで打ち込んで形成され、 B^{11} 拡散領域は質量数11のボロン(B)を70KeVで打ち込んで形成されている。

【0101】

図27(A)に示す B^{11} 拡散領域は質量数11のボロン(B)を40KeVで打ち込んで形成されている。

【0102】

図25(B)、図26(B)及び図27(B)の特性図には、図25(A)、図26(A)及び図27(A)の各半導体装置の表面から距離0.05μmの深さ位置での電流密度(mA/μm²)が示されている。

【0103】

図25(B)と図27(B)との比較から分かるように、パッド170からの横軸距離が1.8μmの位置での電流密度のピーク値は、第1の実施の形態の方が第3の実施の形態よりも約1/5に低減されていることが分かる。

【0104】

図26(B)では、パッド170からの横軸距離が1.8μmの位置ではPNPバイポーラトランジスタが形成されるため、図25(B)よりも電流密度は低

く、その代わりにパッド170からの横軸距離が1.5μmの位置で電流密度がピークとなっている。

【0105】

図27(B)に示す電流密度のピーク値も、第2の素子分離領域140及びB¹¹拡散領域のない従来技術と比較すれば十分低いものであるが、ここでの電流集中をより低減するために、上述した通りプロテクション工程を実施しても良い。

【0106】

(第4の実施の形態)

図28は、本発明の第4の実施の形態に係る半導体装置を示す断面図である。なお、図28に示す部材のうち図1と同一部材については同一符号を付してある。

【0107】

図28に示す半導体装置ではプロテクション工程が実施されている。すなわち、コンタクト115と第2の素子分離領域140との間には、シリサイド層130が部分的に除去されている。さらに、図28に示す半導体装置では、コレクタ152と第2の素子分離領域140との間であって、シリコン基板100の表面側に、B¹¹拡散領域が設けられている。そして、B¹¹拡散領域とコレクタ152の表面には、シリサイド層130が形成されないようになっている。

【0108】

この第4の実施の形態でも、MOSトランジスタ110の静電気保護回路として、B¹¹拡散領域(第3の拡散領域)とドレイン114とのP/N接合にてツェナーダイオード500が形成される。また、図1の場合と同様に、コレクタ152、エミッタ154、ベース156(図28では省略)及びP型WELLにて、NPNラテラルバイポーラトランジスタ150が形成される。なお、第2の素子分離領域140の下層には、図24と同様にPストップ拡散領域400が形成されている。

【0109】

この場合にも、図1の場合と同様にして、N型MOSトランジスタ110にてブレイクダウンが生ずる前に、ツェナーダイオード500にて電流を流して、N

P N ラテラルバイポーラトランジスタ 150 をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツエナーダイオード 500 にてブレイクダウンを開始させて、N P N ラテラルバイポーラトランジスタ 150 のコレクタ 152 とベース 156 との間のジャンクション耐圧を低下させることができる。

【0110】

ここで、ツエナーダイオード 500 は、第 1 ~ 第 3 の実施の形態とは異なり、シリコン基板 100 表面付近にイオンドーピングされた B^{11} 拡散領域とドレイン 114 (コレクタ 152) との P N 接合により形成されている。

【0111】

(第 5 の実施の形態)

図 29 は、本発明を P 型 M O S トランジスタの静電気保護回路に適用した第 5 実施例に係る半導体装置の断面図である。

【0112】

図 29 において、図 1 に示した基板と同じシリコン基板 100 に形成された P 型 M O S トランジスタ 200 は、P⁺ ソース 212 と、P⁺ ドレイン 214 と、その間の N 型 W E L L のチャネル 216 と、チャネル 216 とゲート酸化膜 117 を介して対向するゲート 218 とを有する。ゲート 218 の側壁には側壁絶縁膜 120 が形成されている。また、ソース 212、ドレイン 214 及びゲート 218 上にはシリサイド層 130 が形成され、P 型 M O S トランジスタ 200 はシリサイドトランジスタとして構成されている。

【0113】

図 29 では、トランジスタ同士を分離する図示しない第 1 の素子分離領域の他に、第 1 の素子分離領域と同様にして L O C O S 法により形成される第 2 の素子分離領域 240 が設けられている。第 2 の素子分離領域 240 を介してソース 212 と分離された P⁺ 拡散領域 220 が形成されている。そして図 4 にて、P⁺ 拡散領域 220 に接続されるコンタクト 222 がパッド 260 に接続された状態が図示されている。

【0114】

第2の素子分離領域240の下方には、抵抗として機能するB¹¹⁺拡散領域が設けられている。

【0115】

図30は、図29にP型MOSトランジスタ200及びB¹¹⁺拡散領域を含む静電気保護回路の等価回路図を示している。

【0116】

図30に示すNPNラテラルバイポーラトランジスタ600、ツエナーダイオード610及び抵抗630は、図1及び図2に示すNPNラテラルバイポーラトランジスタ150、ツエナーダイオード160及び抵抗190とそれぞれ同一機能を有する。また、図30では、P型MOSトランジスタ200は、B¹¹⁺拡散領域にて形成される抵抗640を介してパッド260に接続される。従って、この抵抗640の存在により、パッド260に静電気が印加されても、P型MOSトランジスタ200が放電経路となって破壊されることを防止できる。

【0117】

図30ではさらに、VDD-VSS間の保護回路として機能するNPNラテラルバイポーラトランジスタ650、ツエナーダイオード660及び抵抗670が設けられている。

【0118】

このため、パッド260に印加された静電気は、上述した通りツエナーダイオード610のトリガによってNPNラテラルバイポーラトランジスタ600を経由してVSS側に一旦抜かれ、さらにNPNラテラルバイポーラトランジスタ650を経由してVDD側に抜くことが可能となる。

【0119】

なお、図30に示す抵抗640は、P型MOSトランジスタ200のプルアップ動作に支障がないように大きな抵抗値とする必要はなく、しかも抵抗640の形成のために占有面積が大きくなることは高集積化の妨げになる。そこで、本実施の形態では、図29に示すように素子分離領域の下方にB¹¹⁺拡散領域を形成することで、抵抗640を形成している。また、このB⁺¹¹拡散領域は、図1に示すB⁺¹¹拡散領域（第3の拡散領域）と同一工程にて形成することができるた

め、製造工程が増えることもない。

【0120】

また図1では、N型MOSトランジスタ110のドレイン114と、NPNラテラルバイポーラトランジスタ150のコレクタ152を共通の拡散領域に形成したが、図29に示すようにこれらが各々分離される構造であっても機能的には変わらない。

【0121】

(第6の実施の形態)

図31は、本発明をP型MOSトランジスタの静電気保護回路に適用した第6の実施の形態に係る半導体装置の断面図である。図31に示す部材のうち、図29に示すP型MOSトランジスタの部材と同一の部材については同一符号を付してある。

【0122】

図31に示すMOSトランジスタ200の静電気保護回路が、図29に示すものと相違する点は、シリサイド層130とB¹¹拡散領域との間に、P¹¹拡散領域を追加した点である。

【0123】

こうすると、図29の静電気保護回路の機能を実現できることに加えて、図1に示すN型MOSトランジスタ110の静電気保護回路と同様に、シリサイド層130とP³¹拡散領域とによりショートカッキーダイオードが形成されるので、シリサイド層130表面を通過する電荷はより少くなり、図31の位置Aに電流集中が生ずることを防止できる。

【0124】

この理由により、コンタクト252と第2の素子分離領域240との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要はない。

【0125】

なお、本発明は上述した各実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0126】

上述した各実施形態ではいずれもP型半導体基板を使用した例であったが、N型半導体基板を使用しても同様に実施することができる。この場合、図1～図3に示すN型はP型に、P型はN型に置き換えて実施される。またこの場合、P型MOSトランジスタを保護するPNPラテラルバイポーラトランジスタと、そのトリガーとして機能するツェナーダイオードが形成されることになる。

【0127】

さらに、トリプルウェル構造を有する半導体基板を用いれば、N型MOSトランジスタの保護回路として機能するNPNラテラルバイポーラトランジスタと、P型MOSトランジスタの保護回路として機能するPNPラテラルバイポーラトランジスタとを、共に同一の半導体基板上に形成することも可能となる。

【図面の簡単な説明】

【図1】

本発明の第1実施の形態に係る半導体装置のN型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図2】

図1に示す半導体装置の等価回路図である。

【図3】

図1及び図2に示すMOSトランジスタとツェナーダイオードの電圧-電流特性を示す特性図である。

【図4】

図1に示す半導体装置の第1の製造工程を示す断面図である。

【図5】

図1に示す半導体装置の第2の製造工程を示す断面図である。

【図6】

図1に示す半導体装置の第3の製造工程を示す断面図である。

【図7】

図1に示す半導体装置の第4の製造工程を示す断面図である。

【図8】

図1に示す半導体装置の第5の製造工程を示す断面図である。

【図9】

図1に示す半導体装置の第6の製造工程を示す断面図である。

【図10】

図1に示す半導体装置の第7の製造工程を示す断面図である。

【図11】

図1に示す半導体装置の第8の製造工程を示す断面図である。

【図12】

図1に示す半導体装置の第9の製造工程を示す断面図である。

【図13】

図1に示す半導体装置の第10の製造工程を示す断面図である。

【図14】

図1に示す半導体装置の第11の製造工程を示す断面図である。

【図15】

図1に示す半導体装置の第12の製造工程を示す断面図である。

【図16】

図1に示す半導体装置の第13の製造工程を示す断面図である。

【図17】

図1に示す半導体装置の第14の製造工程を示す断面図である。

【図18】

図1に示す半導体装置の第15の製造工程を示す断面図である。

【図19】

図1に示す半導体装置の第16の製造工程を示す断面図である。

【図20】

図1に示す半導体装置の第17の製造工程を示す断面図である。

【図21】

図1に示す半導体装置の第18の製造工程を示す断面図である。

【図22】

図4から図21の工程を経て完成される半導体装置の断面図である。

【図23】

本発明の第2の実施の形態に係る半導体装置のN型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図24】

本発明の第3の実施の形態に係る半導体装置のN型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図25】

(A) は本発明の第1の実施の形態に従って形成された半導体装置の断面図、(B) はその装置の深さ $0.05 \mu m$ における電流密度の位置依存性を示す特性図である。

【図26】

(A) は本発明の第2の実施の形態に従って形成された半導体装置の断面図、(B) はその装置の深さ $0.05 \mu m$ における電流密度の位置依存性を示す特性図である。

【図27】

(A) は本発明の第3の実施の形態に従って形成された半導体装置の断面図、(B) はその装置の深さ $0.05 \mu m$ における電流密度の位置依存性を示す特性図である。

【図28】

本発明の第4の実施の形態に係る半導体装置のN型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図29】

本発明の第5の実施の形態に係る半導体装置のP型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図30】

図29に示すP型MOSトランジスタ及びその静電気保護回路の等価回路図である。

【図31】

本発明の第6の実施の形態に係る半導体装置のP型MOSトランジスタ及びその静電気保護回路の構成を示す断面図である。

【図32】

拡散層上にシリサイド層を有しない従来の場合の均一な放電の様子を模式的に示す模式図である。

【図33】

拡散層上にシリサイド層を有する従来の場合であって、ホットスポットに電流集中が生ずる放電の様子を模式的に示す模式図である。

【符号の説明】

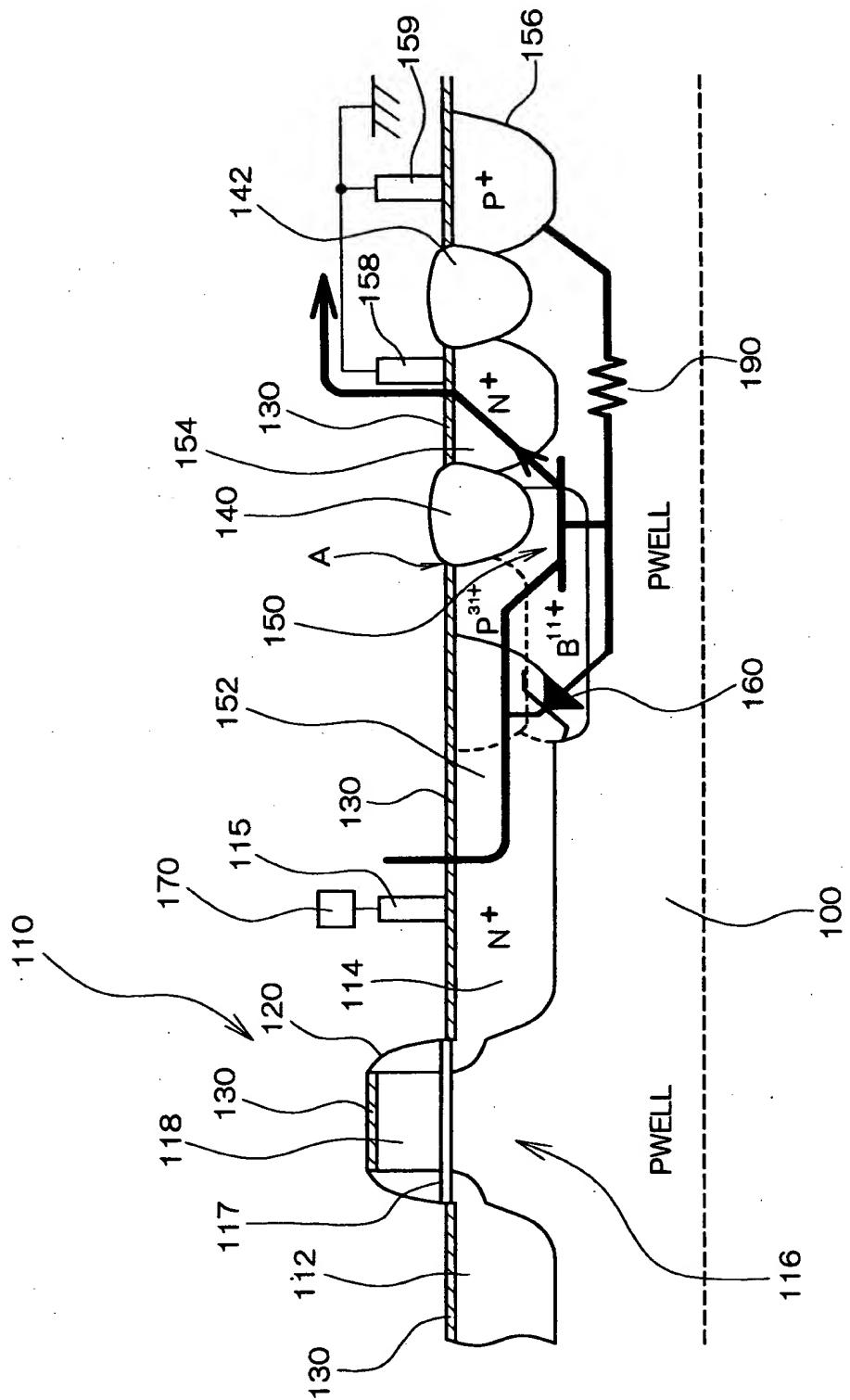
- 100 シリコン基板
- 110 N型MOSトランジスタ
- 112 ソース
- 114 ドレイン（第1の拡散領域）
- 115 コンタクト
- 116 チャネル
- 117 ゲート酸化膜
- 118 ゲート
- 120 側壁絶縁膜
- 130 シリサイド層
- 140, 142 第2の素子分離領域
- 150 NPNラテラルバイポーラトランジスタ
- 152 コレクタ（第2の拡散領域）
- 154 エミッタ（第2の拡散領域）
- 156 ベース（第2の拡散領域）
- 158, 159, 252 コンタクト
- 160 ツエナーダイオード
- 170, 260 パッド
- 180 P型MOSトランジスタ
- 190 抵抗
- 200 P型MOSトランジスタ
- 212 ソース

214 ドレイン
216 チャネル
218 ゲート
240 第3の素子分離領域
250 P^+ 拡散領域
270 第1の放電経路
272 第2の放電経路
300 第1の素子分離領域
302, 304, 310, 312, 316, 320, 322, 324, 328,
336 レジスト
306 酸化膜
308 ポリシリコン膜
314 N型拡散領域
318 P型拡散領域
326 絶縁層
330 コンタクトホール
332 コンタクト
334 金属層
338A～338G 配線層
400 Pストップ拡散領域
500 ツエナーダイオード
600, 650 NPNラテラルバイポーラトランジスタ
610, 660 ツエナーダイオード
630, 640, 670 抵抗
680 放電経路

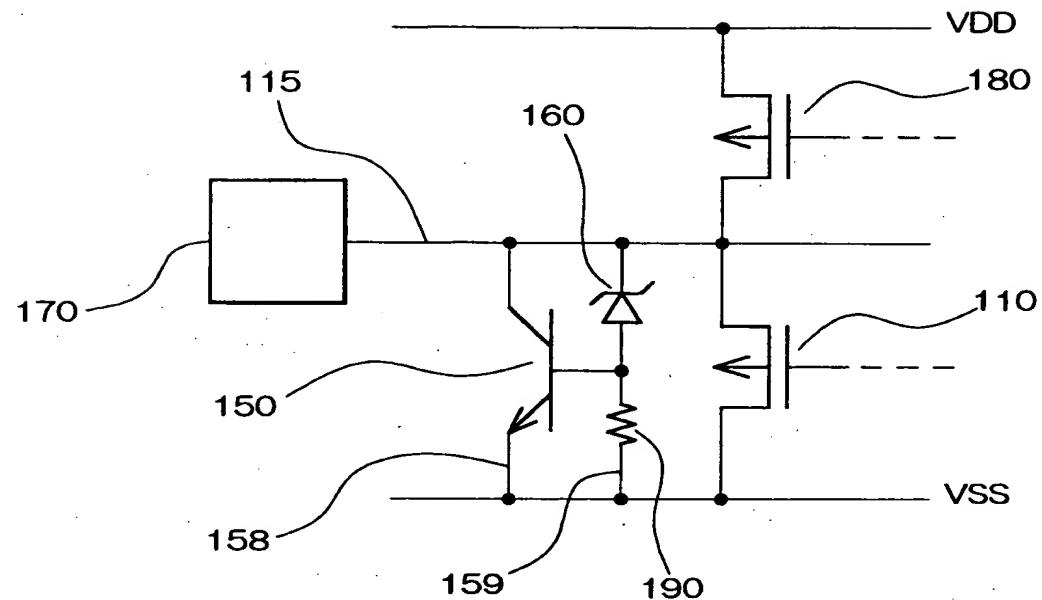
【書類名】

図面

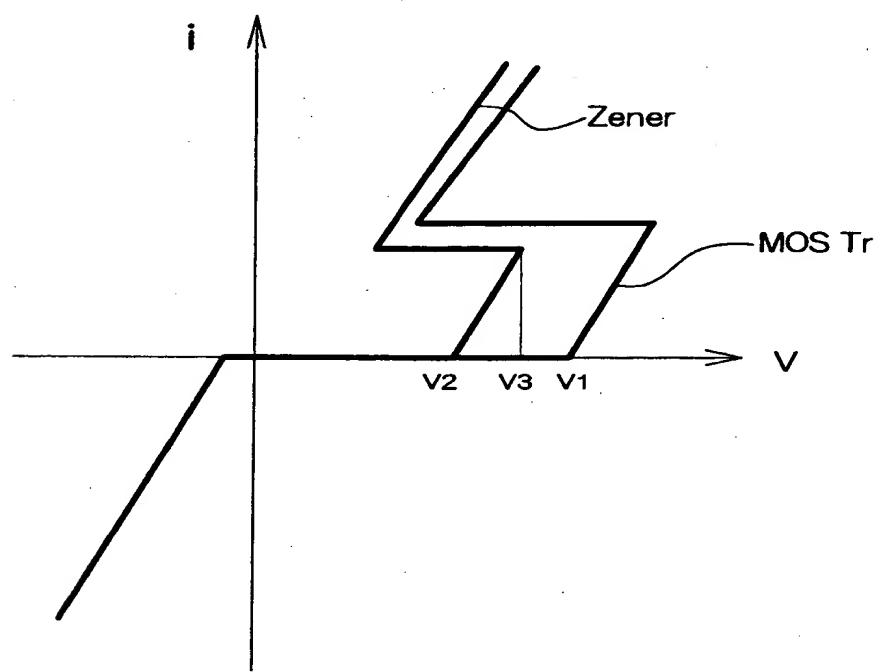
【図1】



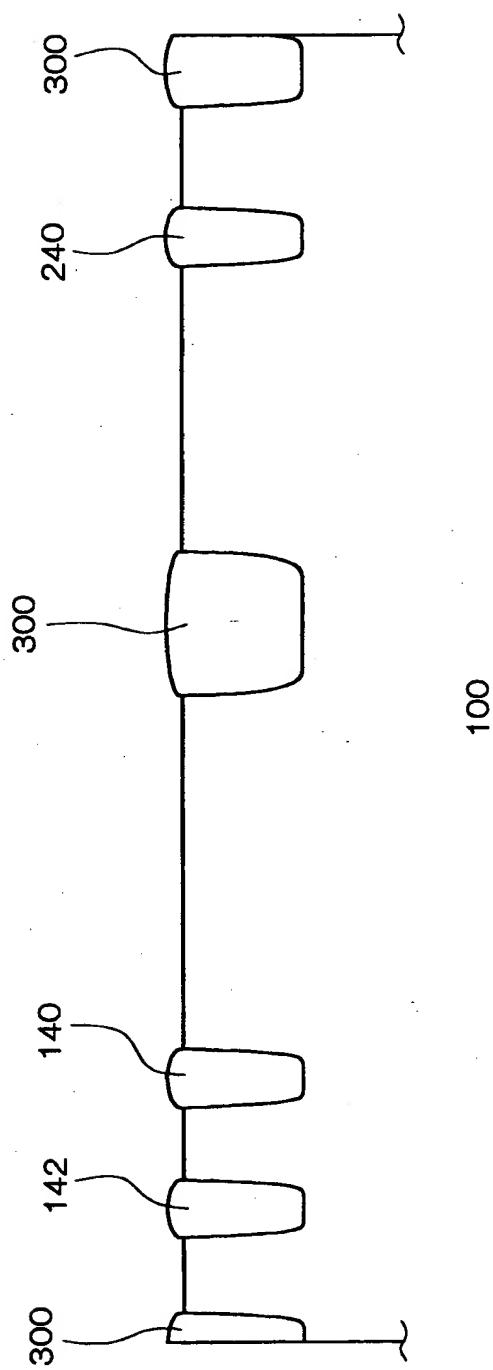
【図2】



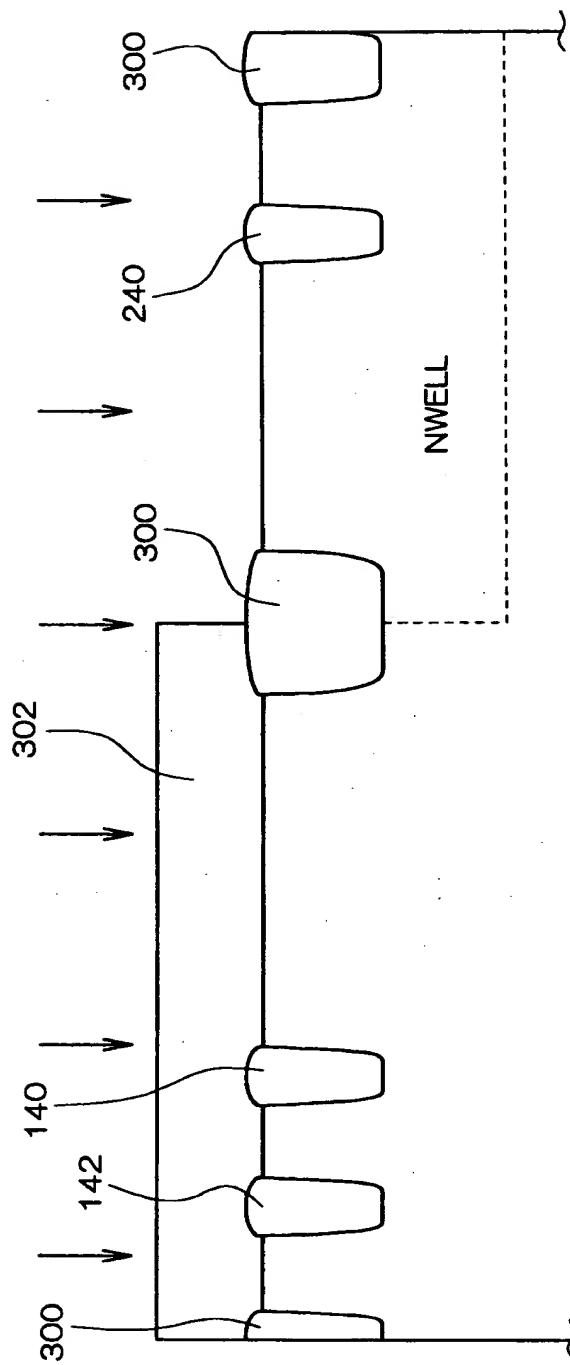
【図3】



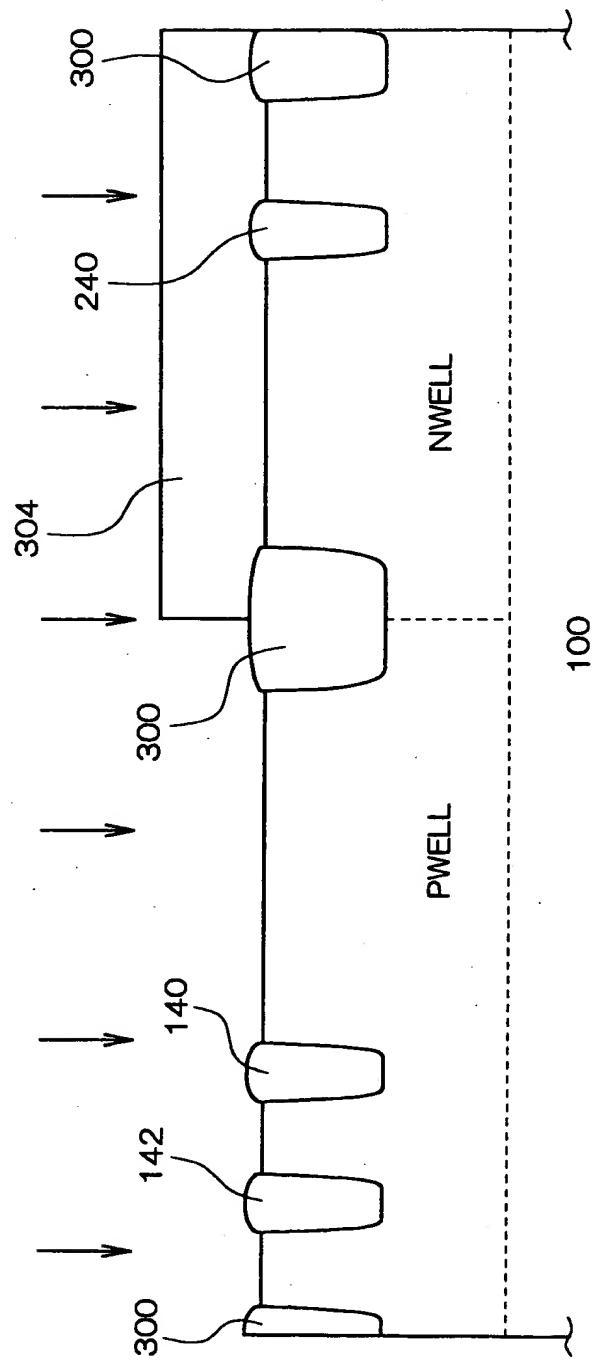
【図4】



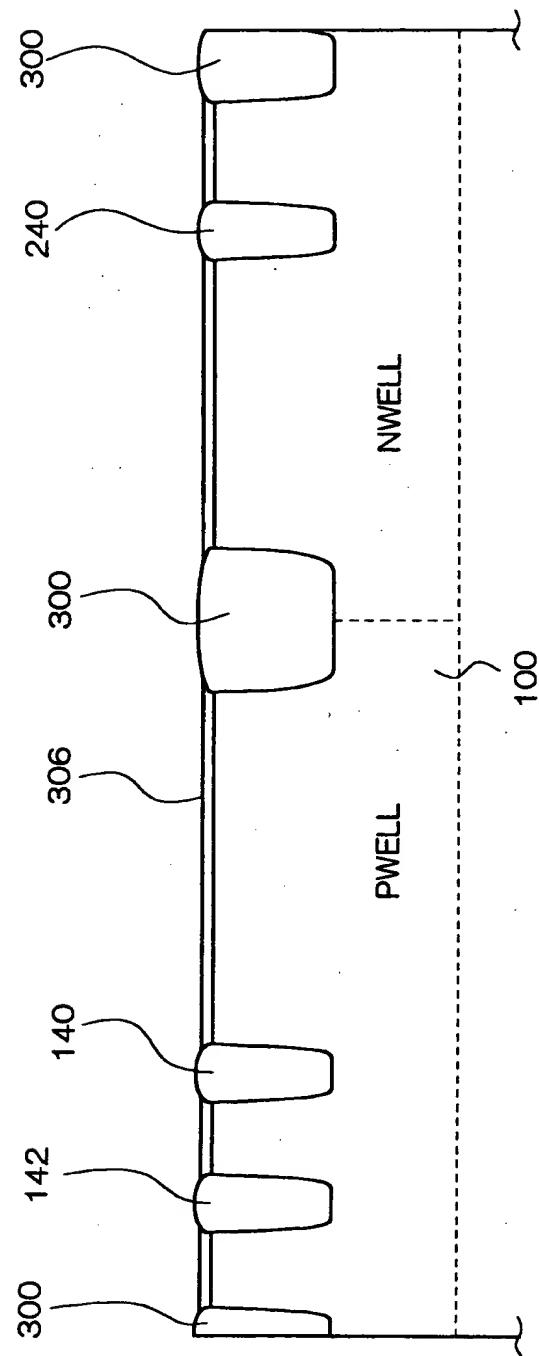
【図5】



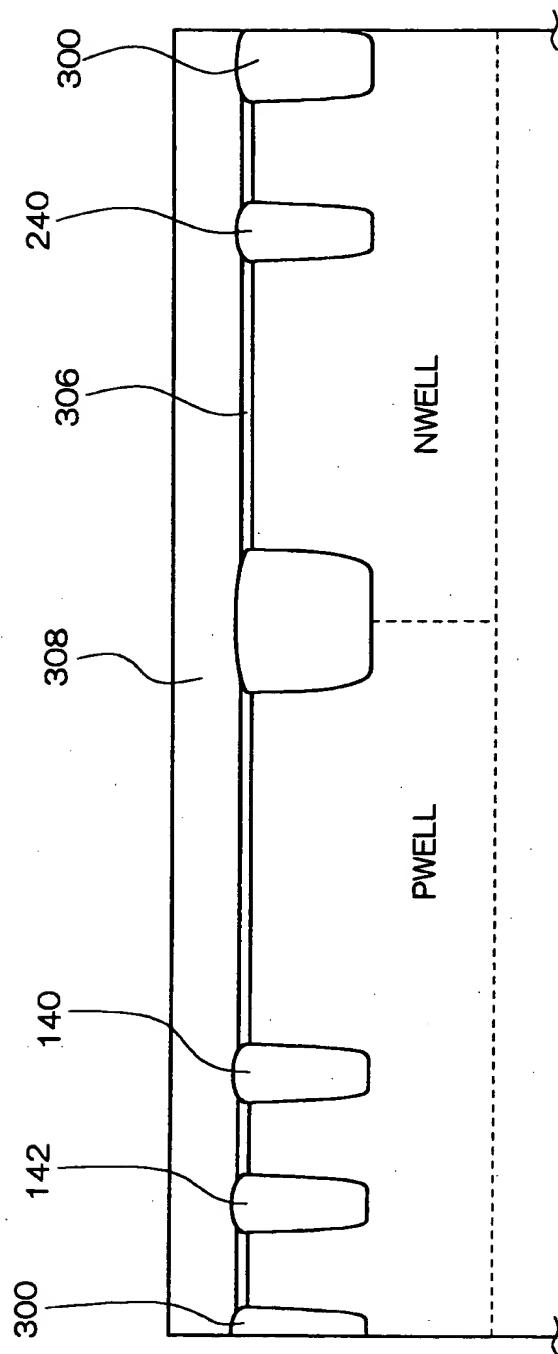
【図6】



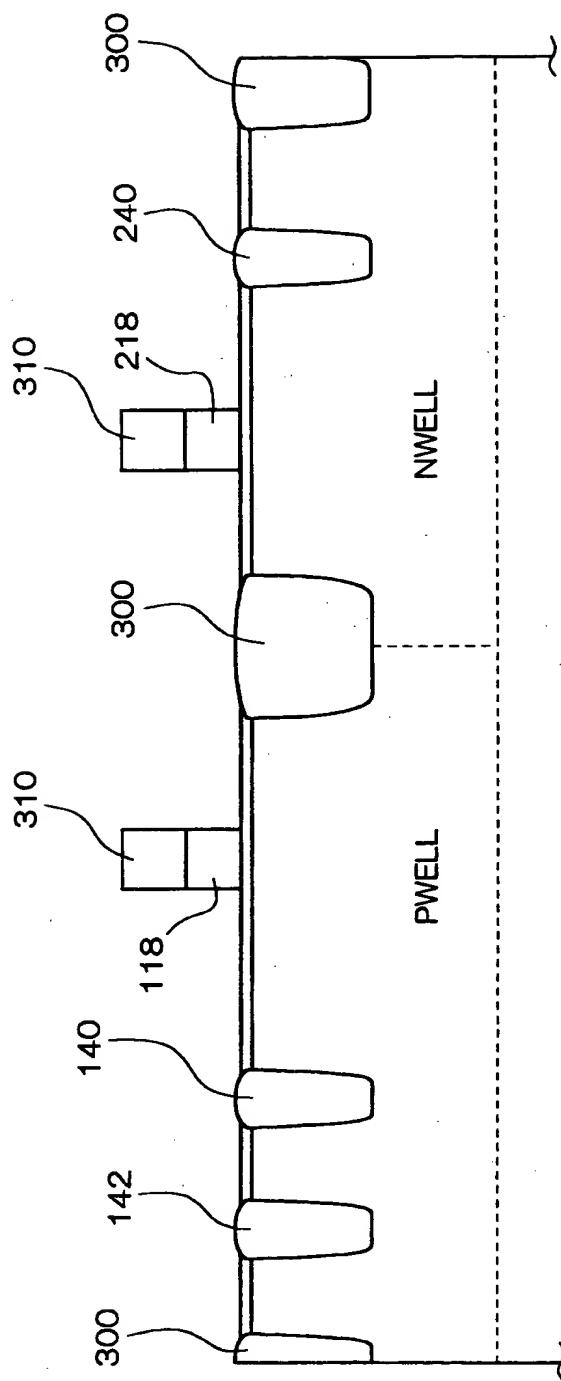
【図7】



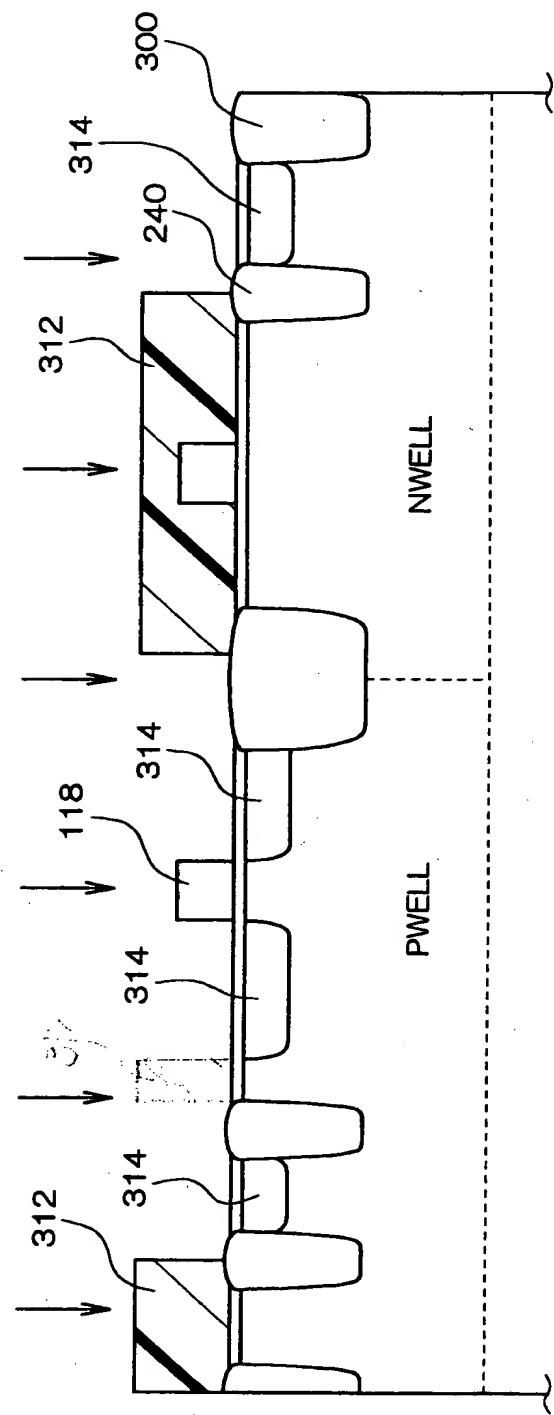
【図8】



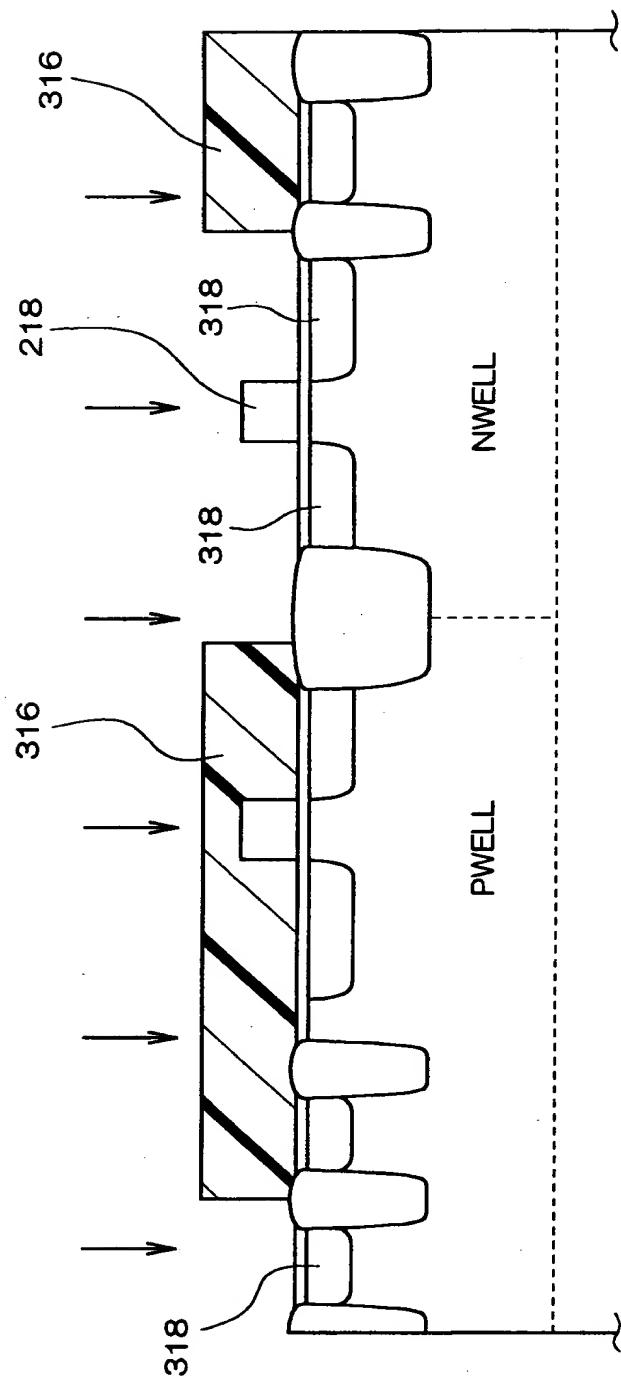
【図9】



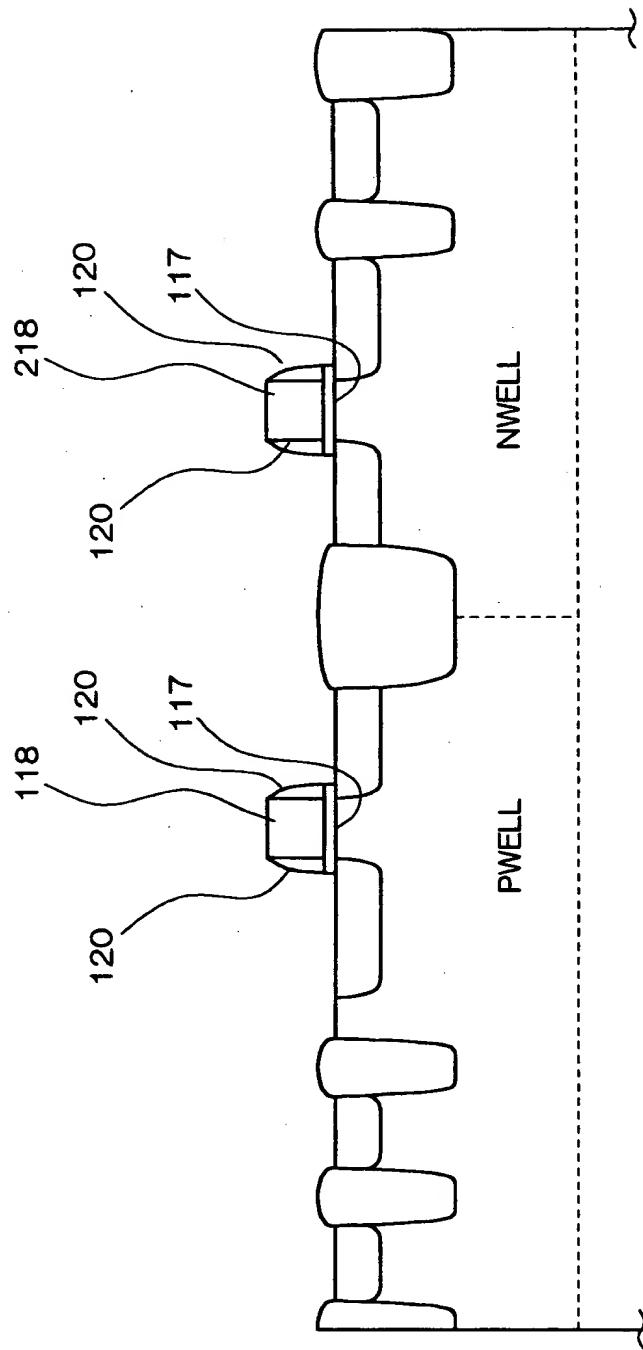
【図10】



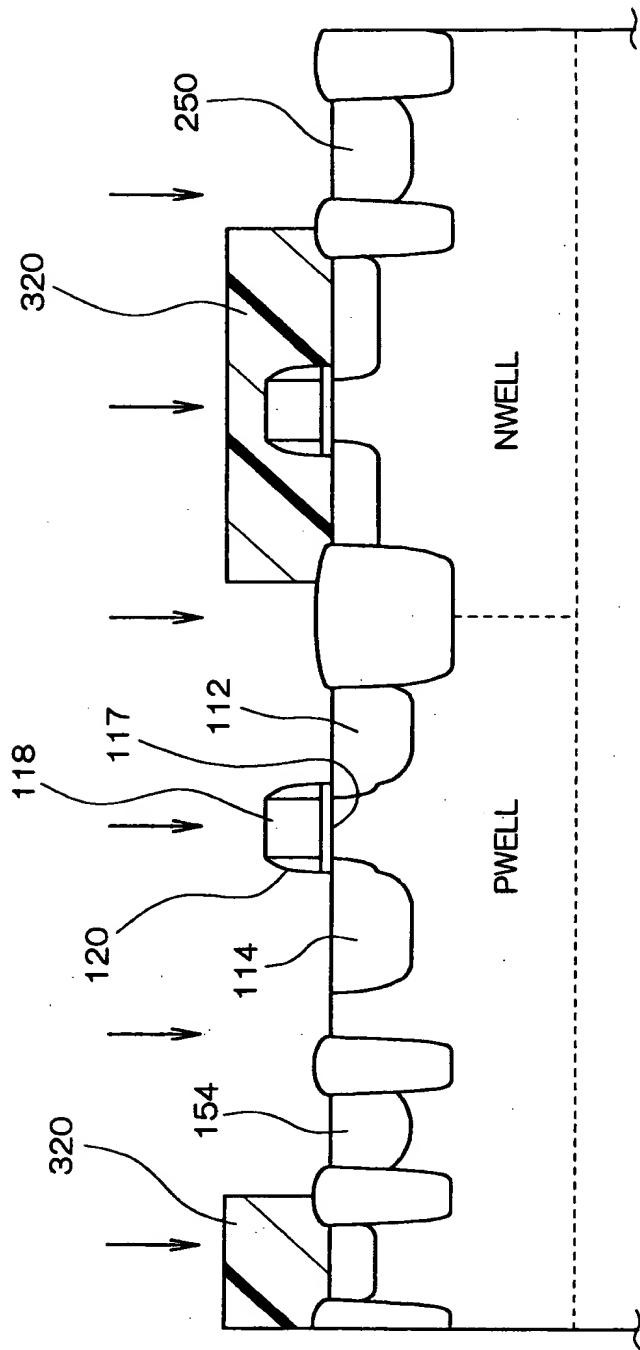
【図11】



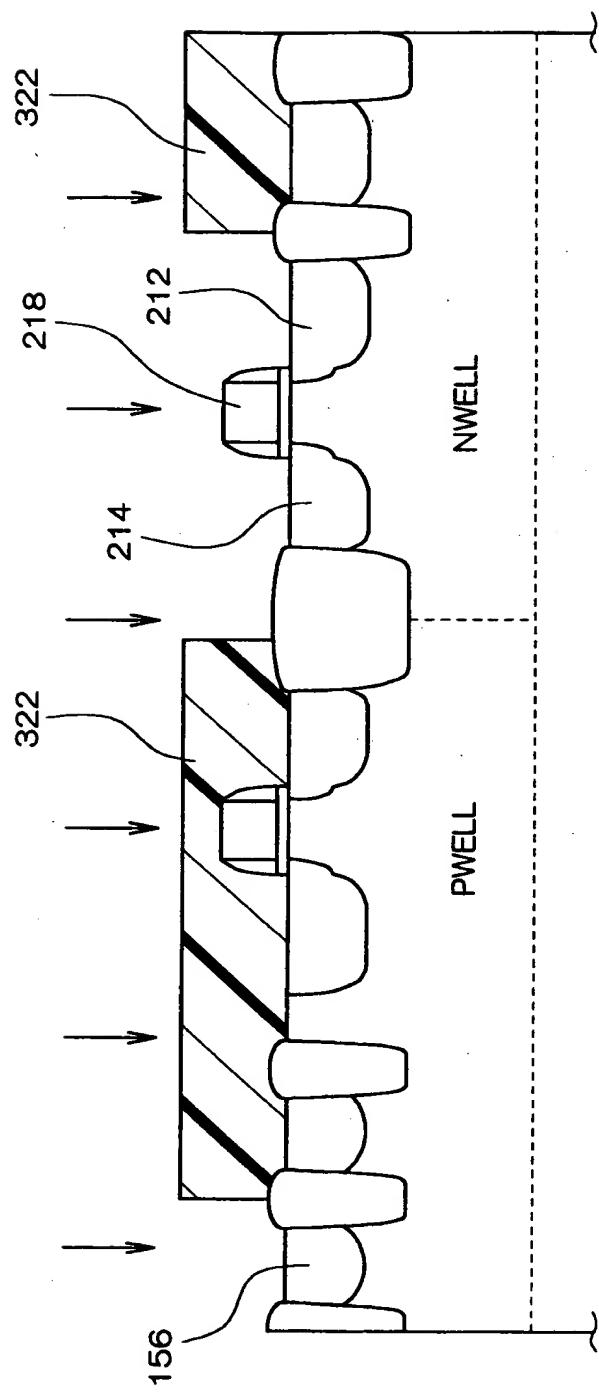
【図12】



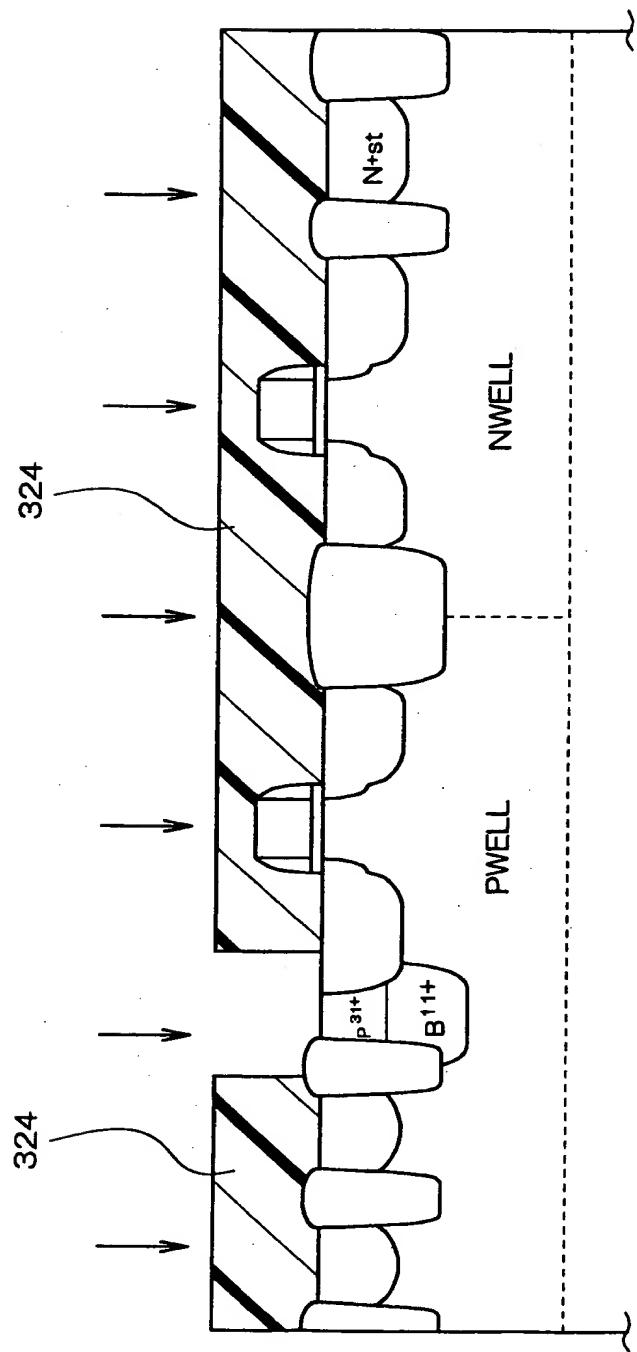
【図13】



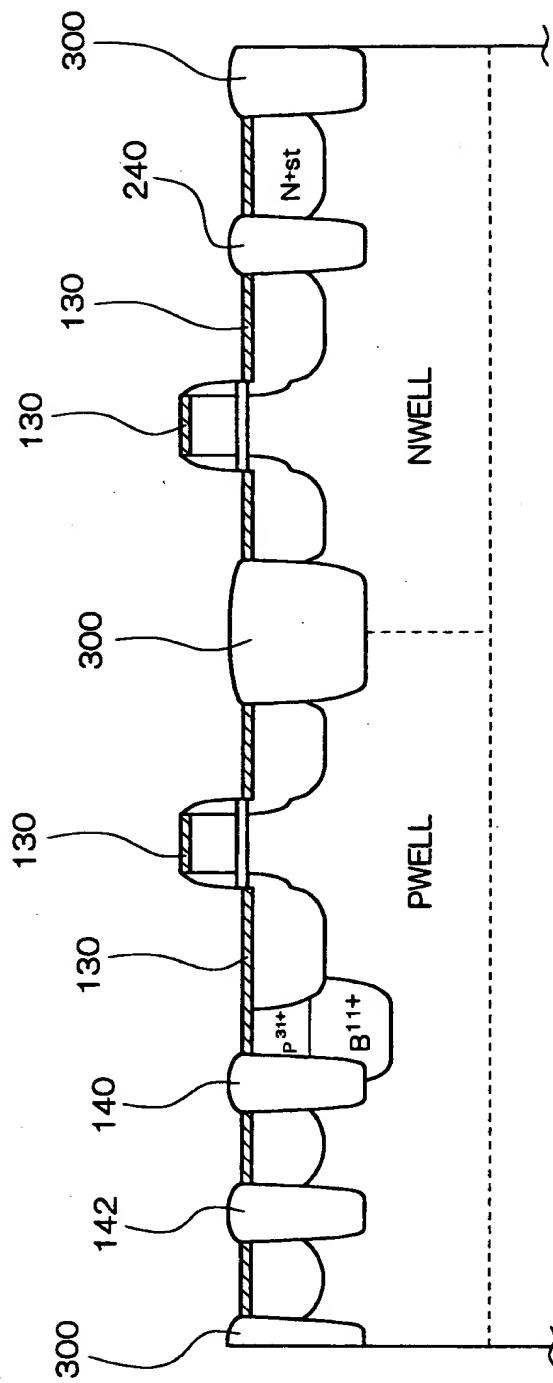
【図14】



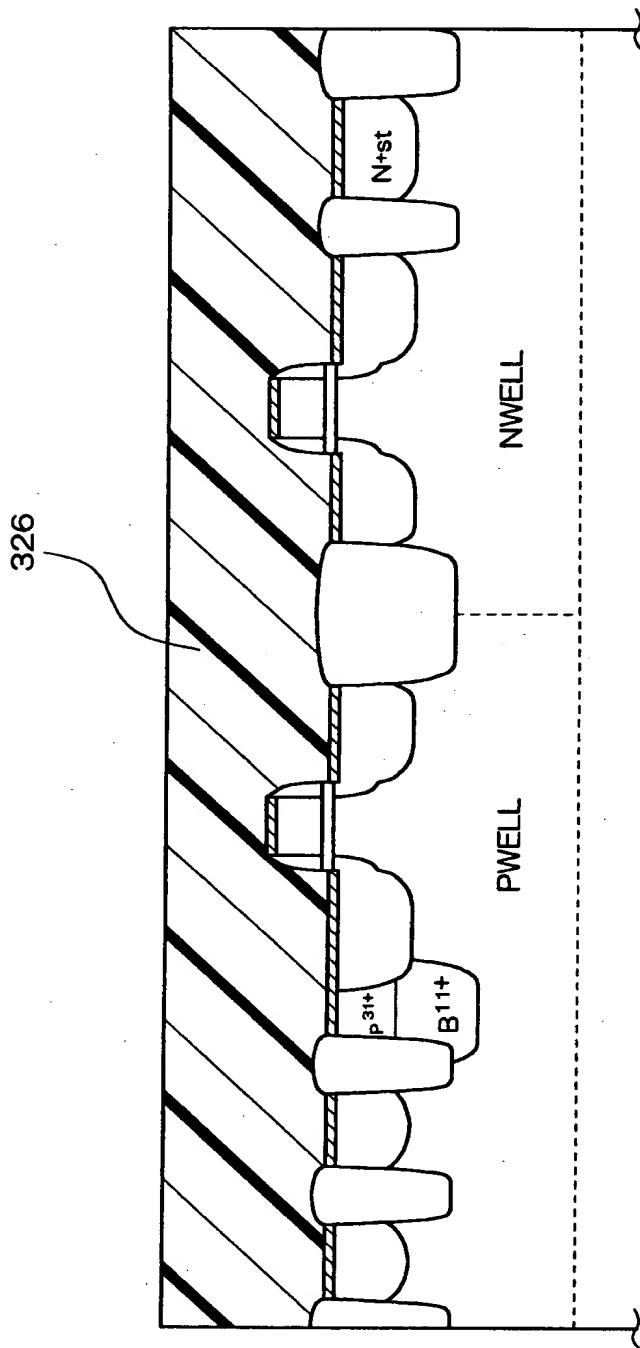
【図15】



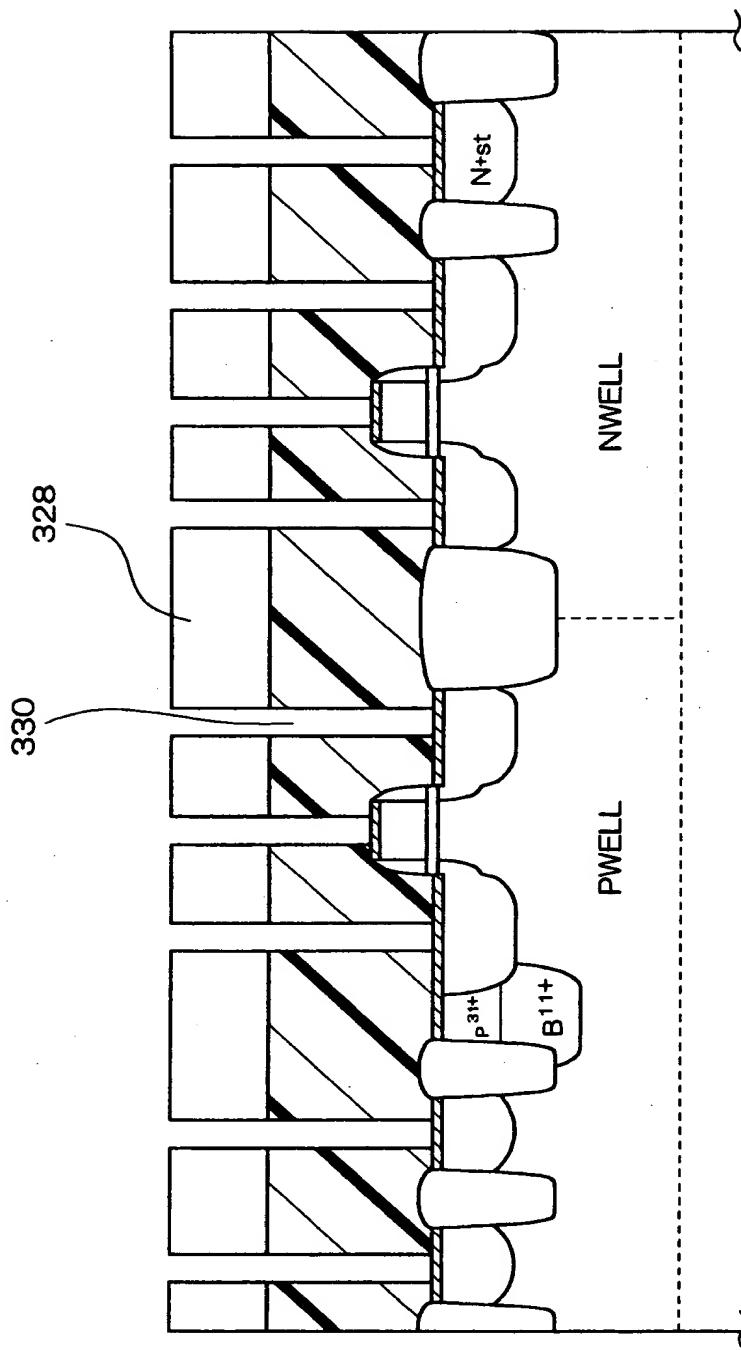
【図16】



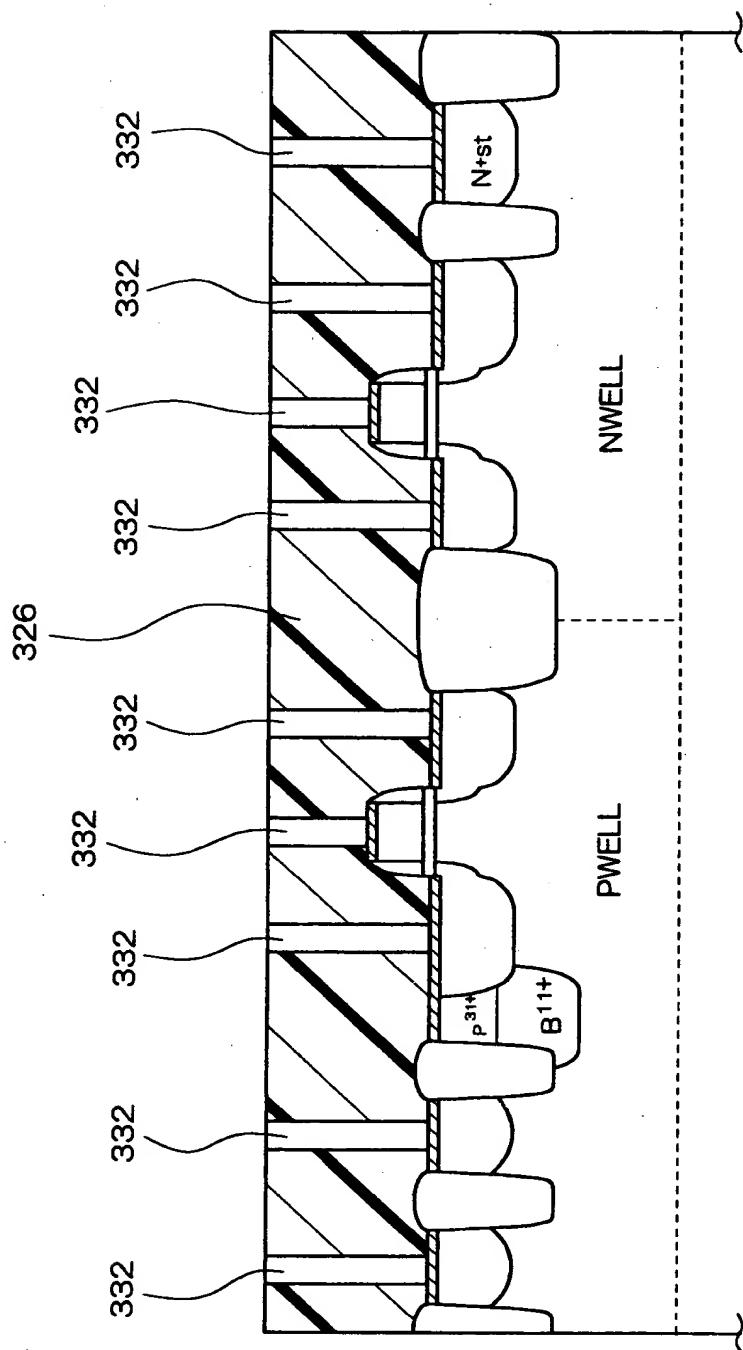
【図17】



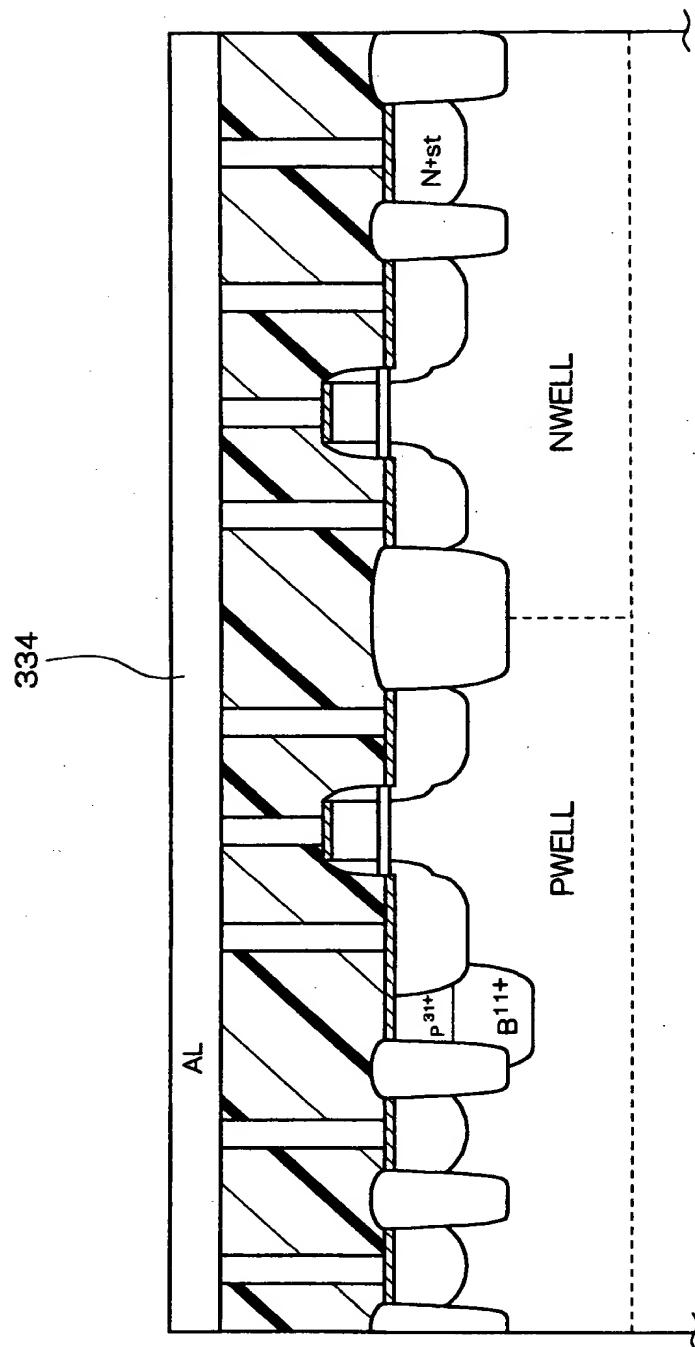
【図18】



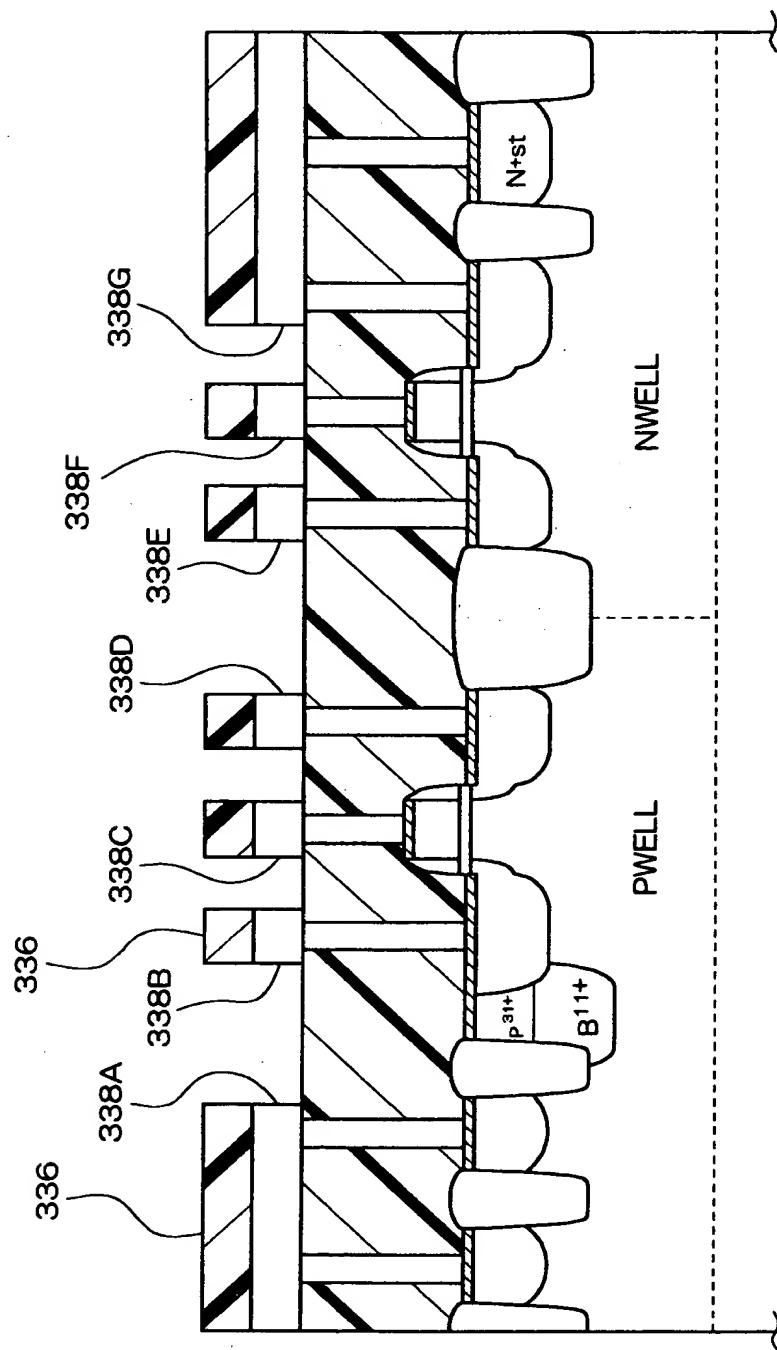
【図19】



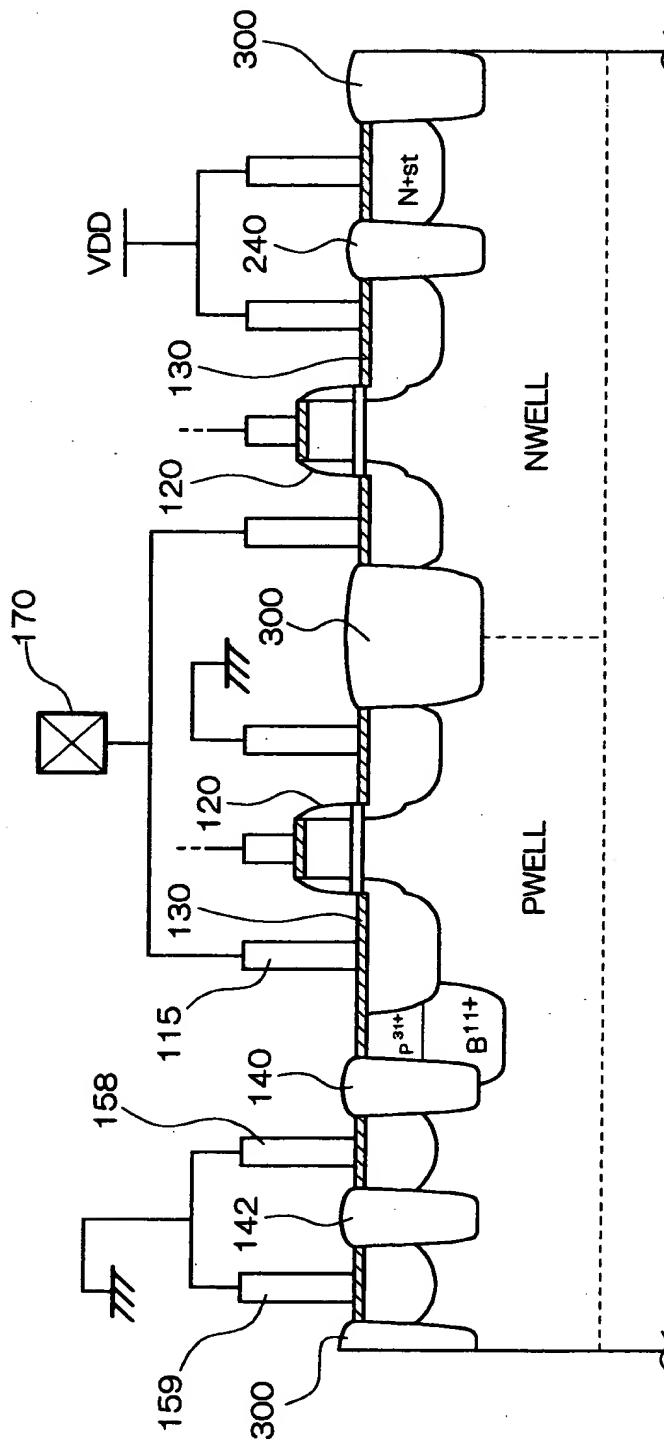
【図20】



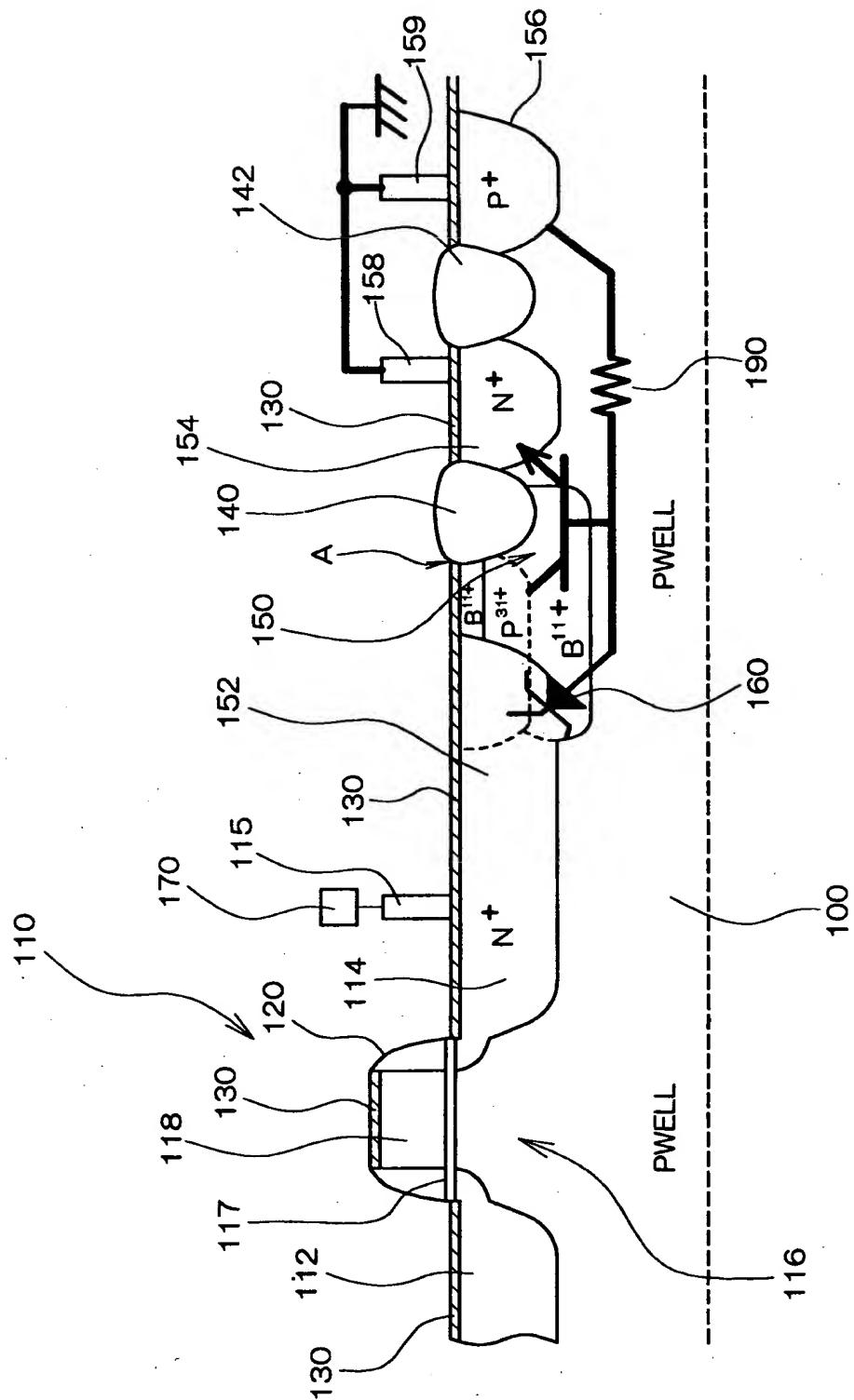
【図21】



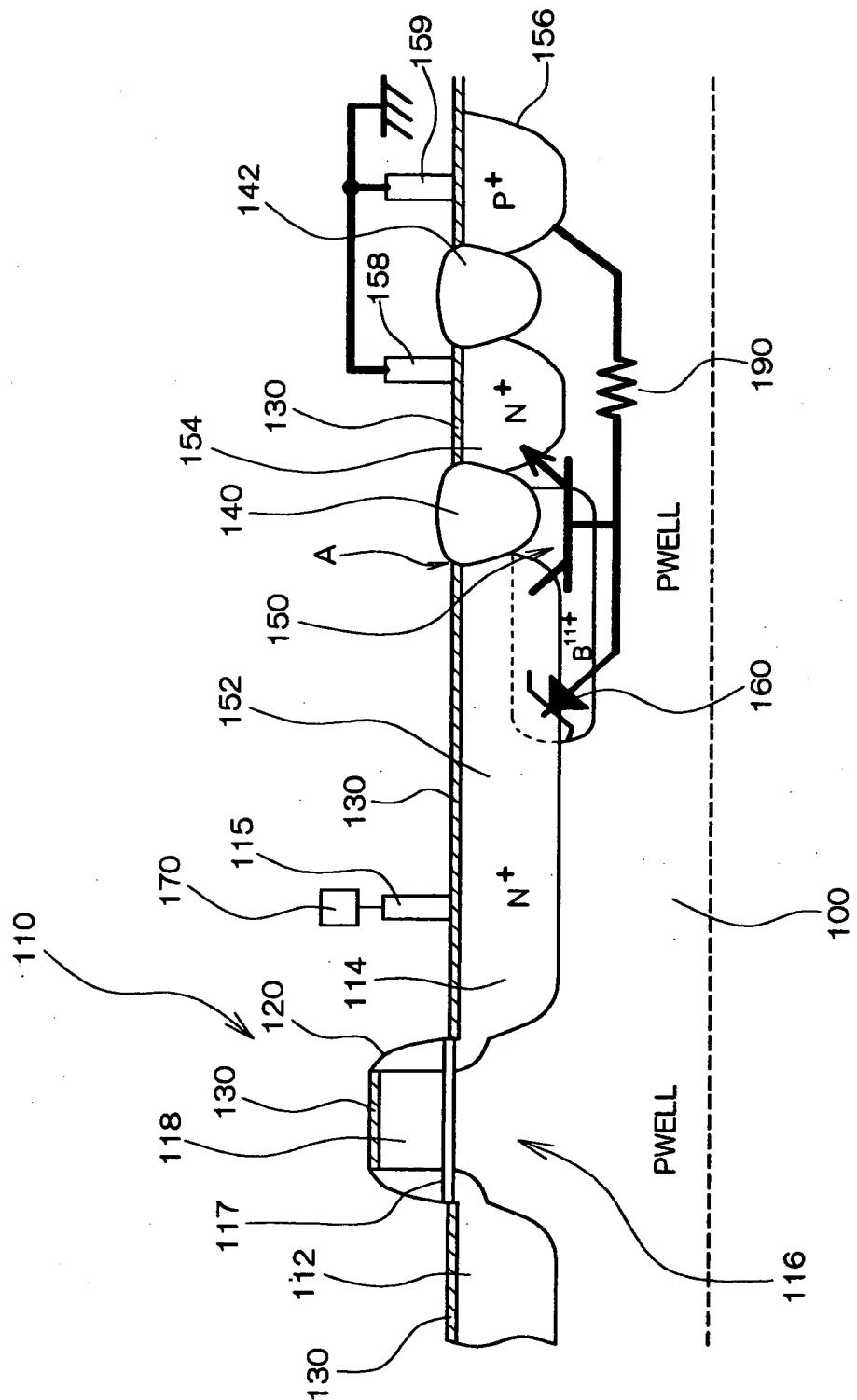
【図22】



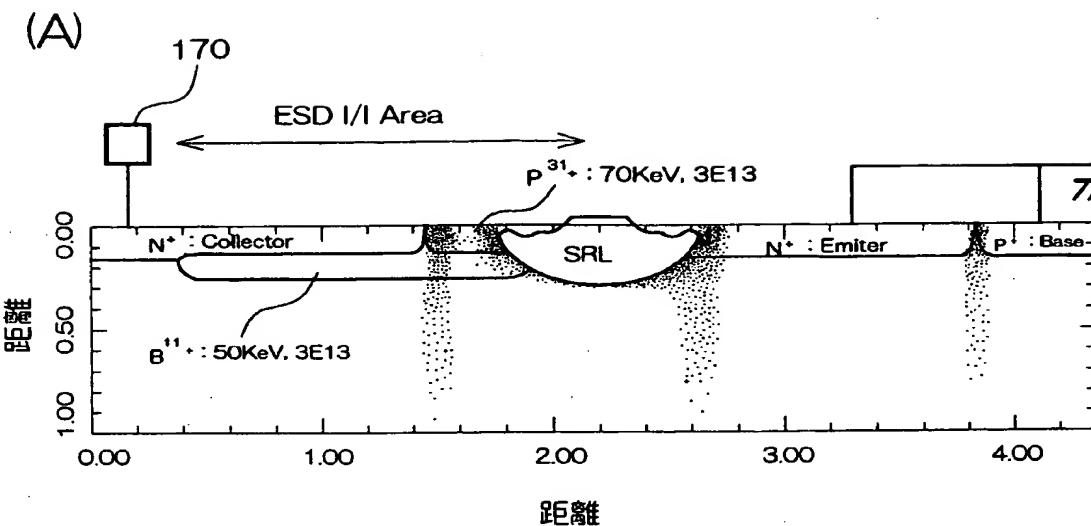
【図23】



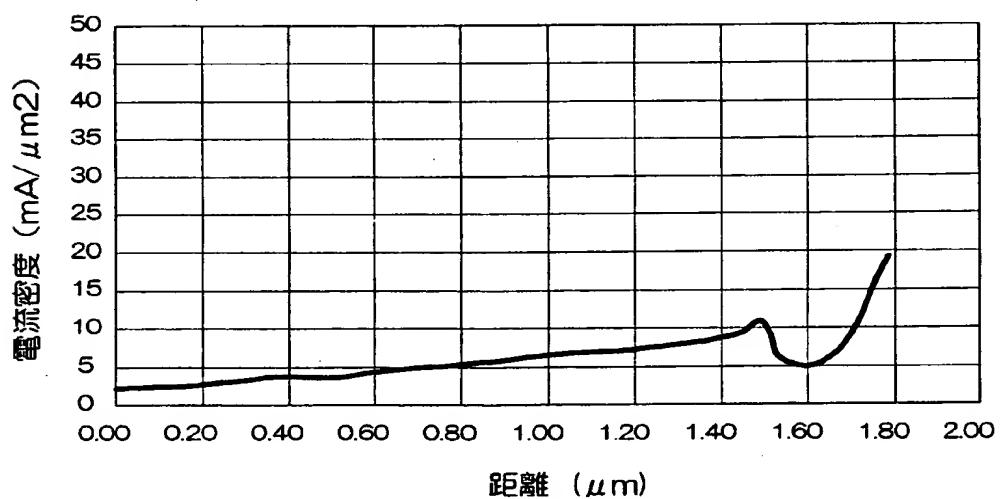
【図24】



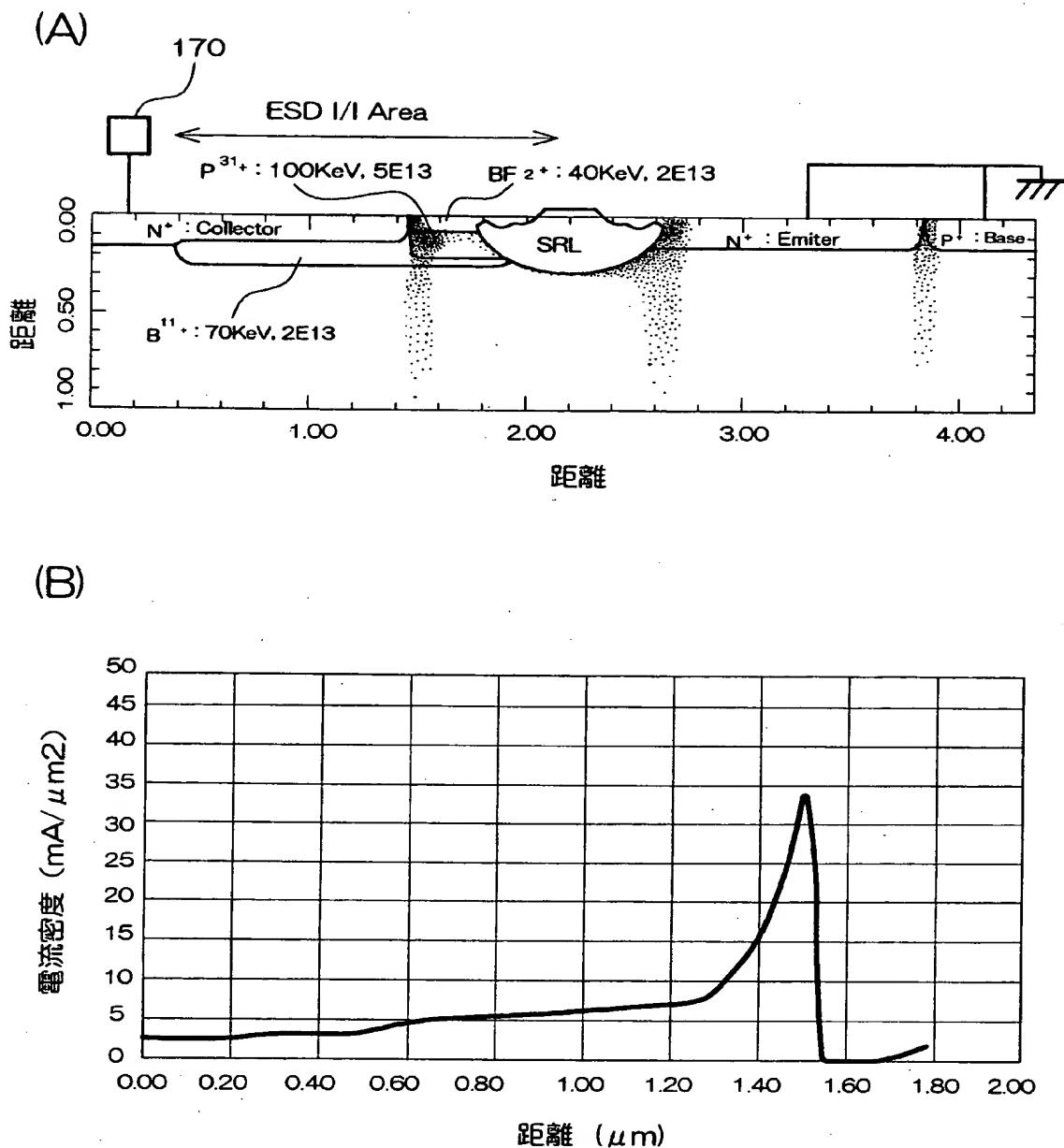
【図25】



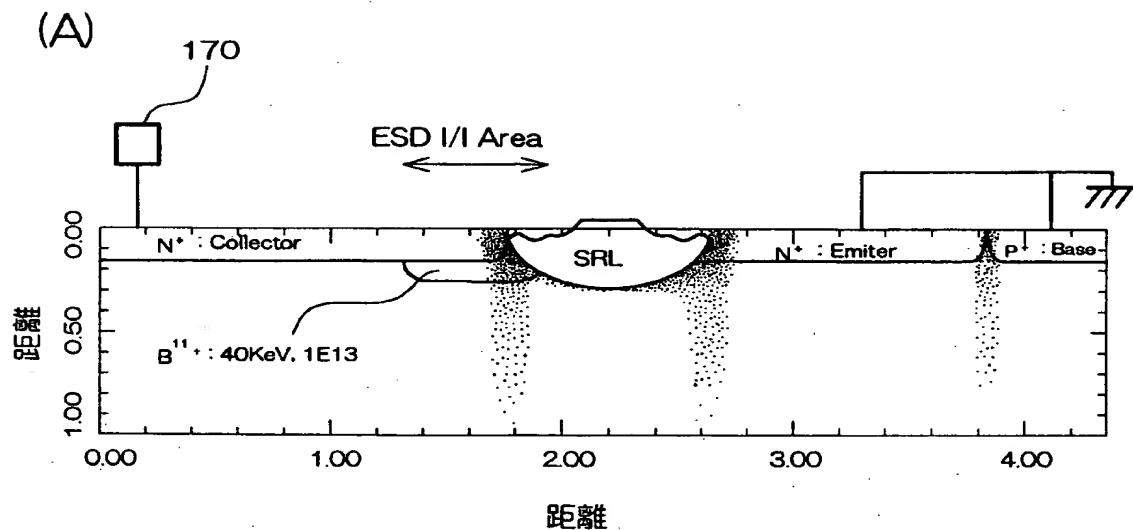
(B)



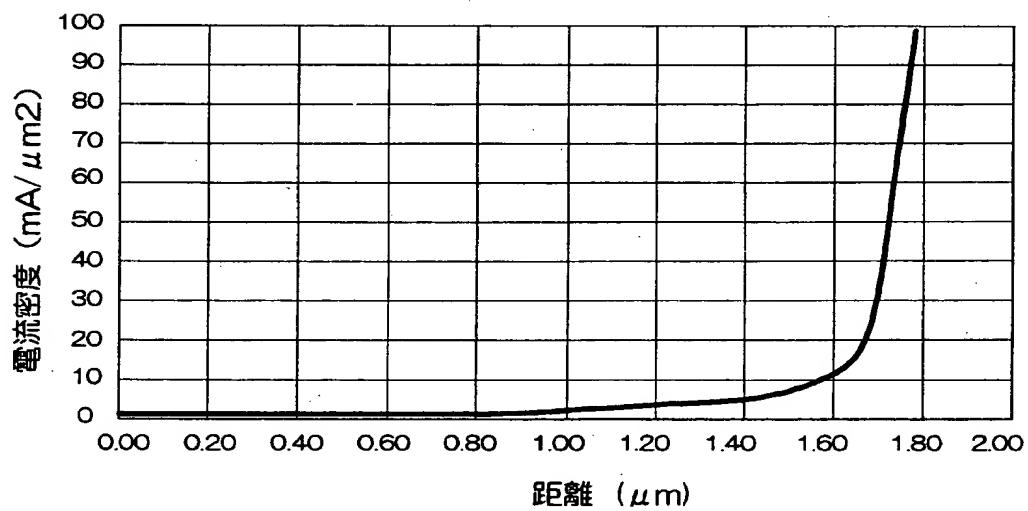
【図26】



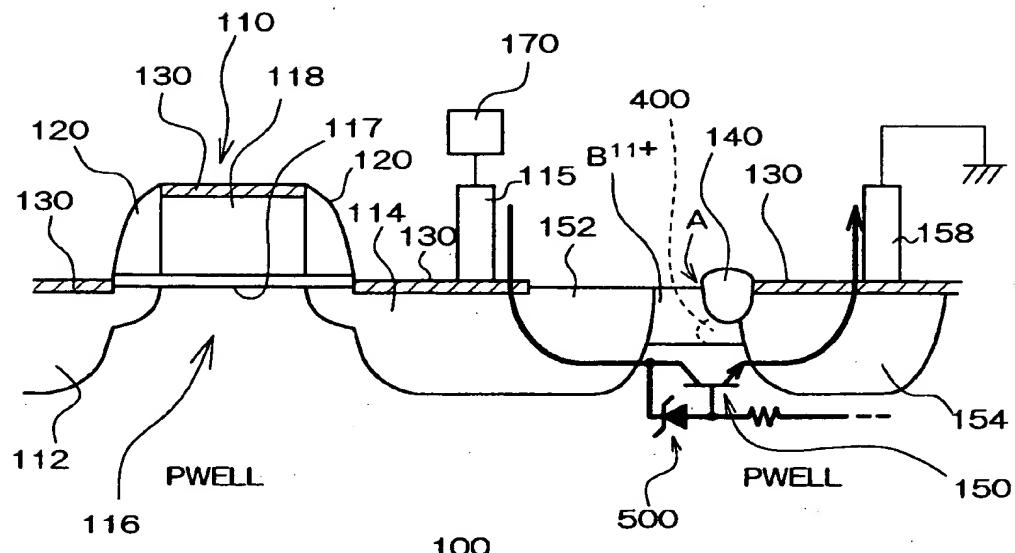
【図27】



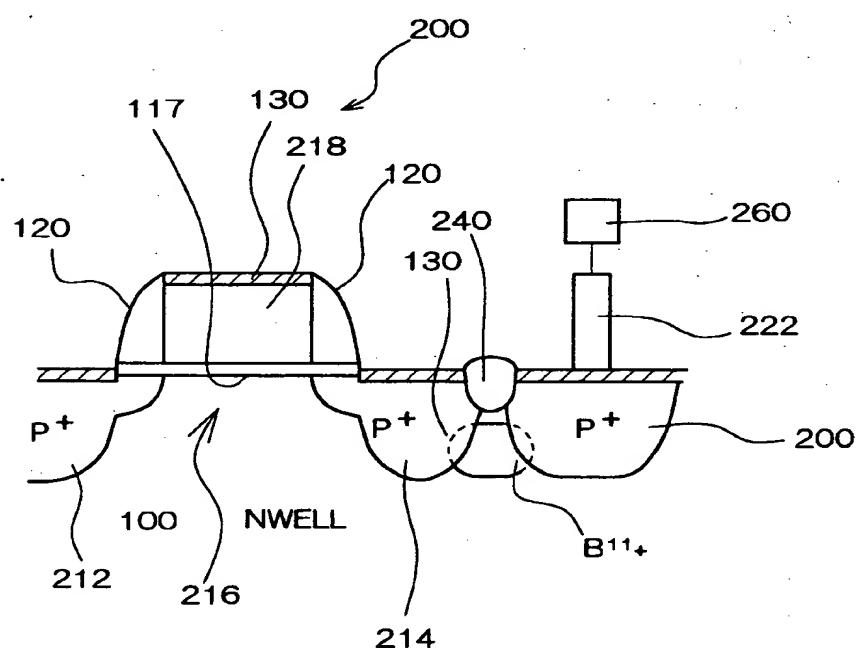
(B)



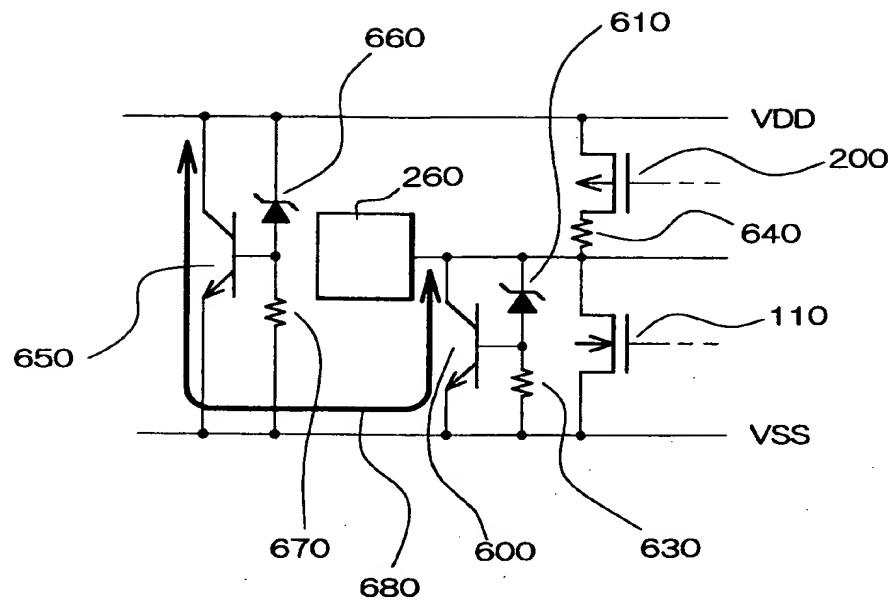
【図28】



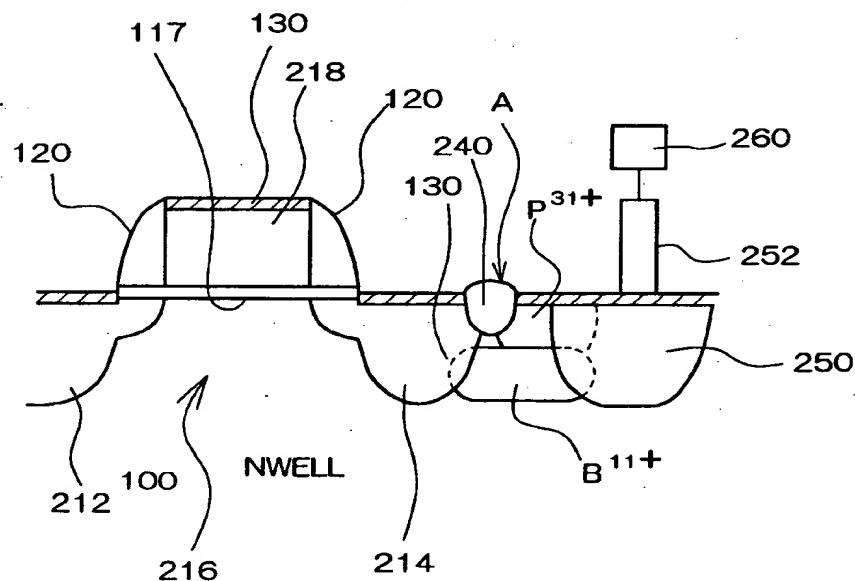
【図29】



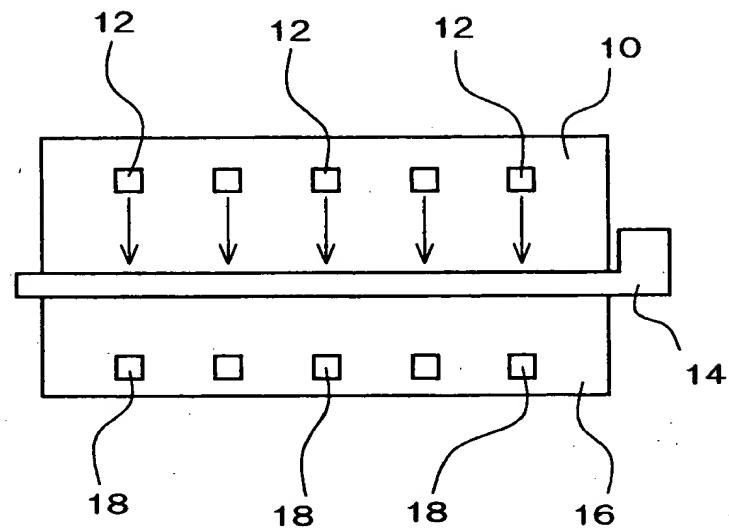
【図30】



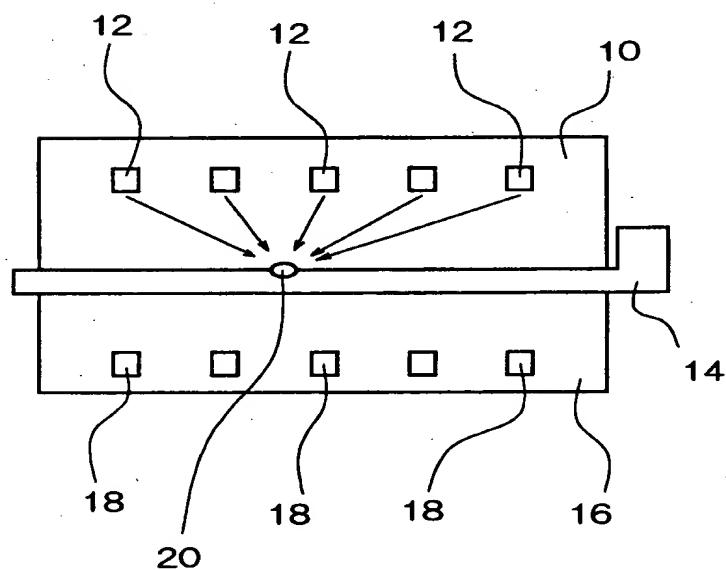
【図31】



【図32】



【図33】



【書類名】 要約書

【要約】

【課題】 シリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板100上には第1の拡散領域300で素子分離された複数のシリサイドN型MOSトランジスタ110が設けられる。このMOSトランジスタ110の静電気保護回路として、NPNラテラルバイポーラトランジスタ150と、ツエナーダイオード160とが設けられる。NPNラテラルバイポーラトランジスタ150は、2つの第2の素子分離領域140, 142にて分離された領域に形成される第2の拡散領域152, 154, 156と、P型WELLにて構成される。ツエナーダイオード160は、MOSトランジスタ110の第1の拡散領域112と第3の拡散領域(B¹¹拡散領域)とのP/N接合で構成される。ツエナーダイオード160のブレイクダウン開始電圧V2は、MOSトランジスタ110のブレイクダウン開始電圧V1より低く設定される。シリサイド層130と第3の拡散領域(B¹¹拡散領域)との間に、シリサイド層130と共にショートツッキーダイオードを形成する第4の拡散領域(P³¹拡散領域)がさらに設けられる。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社